

VGA(DSP 内蔵)カメラセンサ NCM03-V

Preliminary Data Sheet

Rev 0.3

2010年5月10日

本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

Revision History

Version	Date[Y/M/D]	Note	Writer	Approve
0.0	2010/5/10	New	小堺	氏家
0.1	2010/6/4	P60 TBDの値記入 P61 Power-On Sequence Power-Off Sequenceに修正(誤記訂正)	小堺	氏家
0.2	2010/11/01	暫定版→正式版に変更	小堺	氏家
0.3	2011/01/20	LED control registers削除 Power-on Register追記	小堺	氏家

本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

Features

- 656x496 effective pixel array with RGB bayer color filters and micro-lens.
- Output formats : CCIR656, 8bit YCbCr422, 8bit RGB565, 9bit RGB Bayer, 9bit Mono.
- Image processing on chip : lens shading , gamma correction, defect correction , low pass filter, color interpolation , edge enhancement , color correction , brightness, contrast, saturation , auto black level compensation , auto white balance , auto exposure
- Max. 30 frames/sec progressive scan @ 27 MHz master clock for VGA.
- Frame size, window size and position can be programmed through a 2-wire serial interface bus.
- VGA / CIF / QVGA / QCIF / QQVGA Scaling.
- Horizontal / Vertical mirroring.
- 50Hz, 60Hz flicker automatic cancellation.
- Soft reset.
- High Image Quality and High low light performance.
- I2C Master.

本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

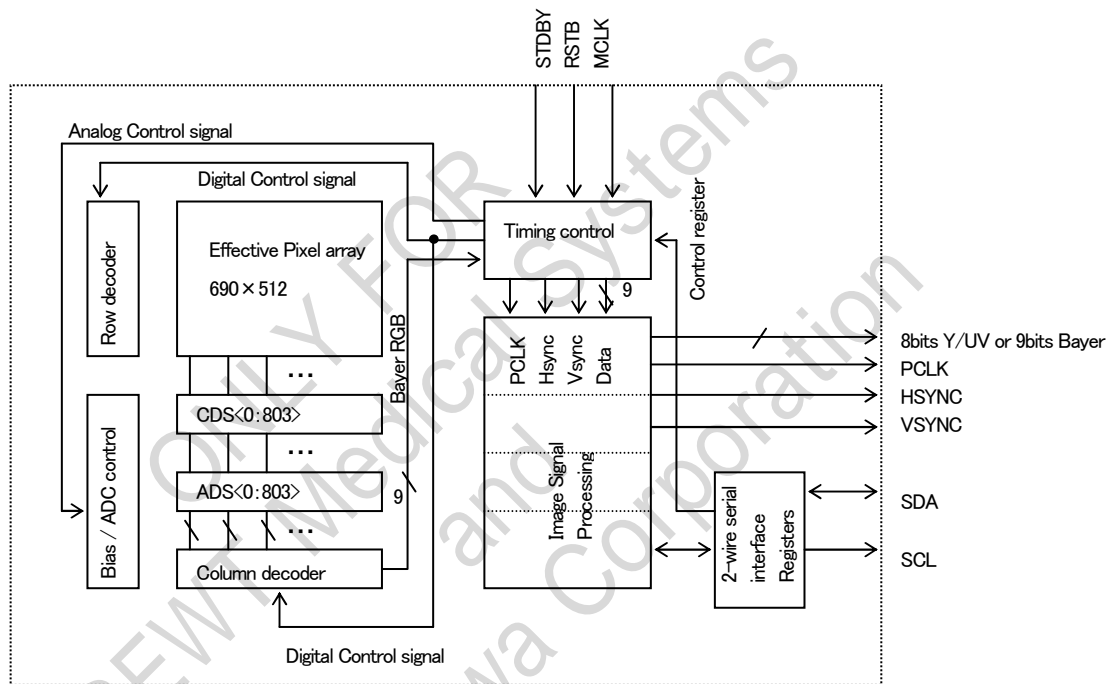
カメラ出力端子

端子番号	記号	I/O	端子説明
1	DVDD	—	電源(デジタル)for Core.
2	DGND	—	GND(デジタル)
3	PCLK	0	データクロック
4	DGND	—	GND(デジタル)
5	HSYNC	0	水平同期パルス出力
6	VSYNC	0	垂直同期パルス
7	HVDD	—	電源(デジタル)for IO
8	SDA	I/O	I2C バス I/F データ
9	SCL	I	I2C バス I/F クロック
10	RSTB	I	システム入カリセット端子
11	DATA7	0	デジタルデータ出力
12	DATA6	0	デジタルデータ出力
13	DATA5	0	デジタルデータ出力
14	DATA4	0	デジタルデータ出力
15	DATA3	0	デジタルデータ出力
16	DATA2	0	デジタルデータ出力
17	DATA1	0	デジタルデータ出力
18	DATA0	0	デジタルデータ出力
19	STDBY	I	スタンバイモード端子
20	MCLK	I	システムクロック
21	AGND	—	GND(アナログ)
22	AVDD	—	電源(アナログ)

本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

Chip Architecture

NCM03-V has 656 x 496 effective pixel array and column/row driver circuits to read out the pixel data progressively. CDS circuit reduces noise signals generated from various sources mainly resulting from process variations. Pixel output is compared with the reset level of its own and only the difference signal is sampled, thus reducing fixed error signal level. Each of R, G, B pixel output can be multiplied by different gain factors to balance the color of images in various light conditions. The analog signals are converted to digital forms one line at a time and 1 line data are streamed out column by column. The Bayer RGB data are passed through a sequence of image signal processing blocks to finally produce YCbCr 4:2:2 output data. Image signal processing includes such operations as gamma correction, defect correction, low pass filter, color interpolation, edge enhancement, color correction, contrast stretch, color saturation, white balance, exposure control and back light compensation. Internal functions and output signal timing can be programmed simply by modifying the register files through 2-wire serial interface.

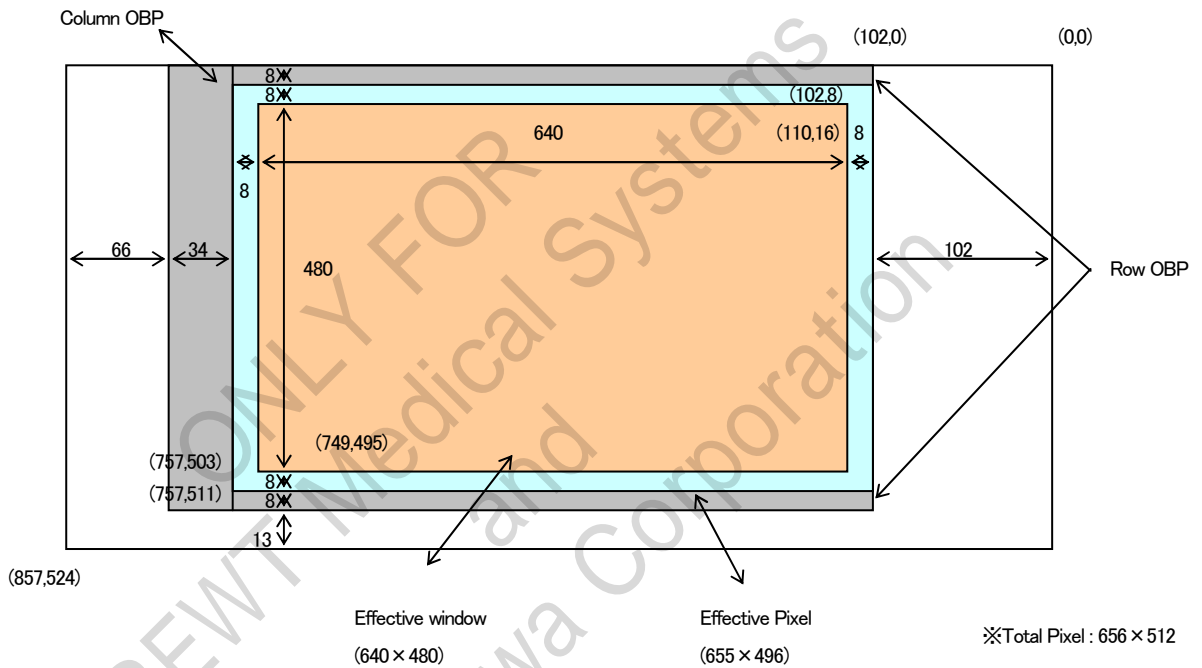


Block Diagram

本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
 また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

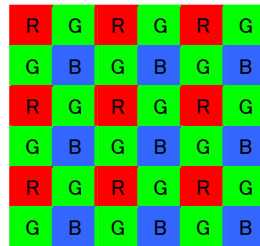
Frame Structure and Windowing

Origin (0, 0) of the frame is at the upper right corner. Size of the frame is determined by two registers : framewidth(Reg.A-04h, A-05h) and frameheight(Reg.A-06h, A-07h). One frame consists of framewidth + 1 columns and frameheight + 1 rows. framewidth and frameheight can be programmed to be larger than total array size. Default window array of 640 x 480 pixels is positioned at (110, 16). It is possible to define a specific region of the frame as a window. Pixel scanning begins from (0, 0) and proceeds row by row downward, and for each line scan direction is from right to the left. Hsync signal indicates if the output is from a pixel that belongs to the window or not. There are two counters to indicate the present coordinate of frame scanning : Frame row counter and frame column counter. Counter values repeat the cycle of 0 to frameheight, and 0 to framewidth respectively. The counter values increase at the pace of pixel clock (PCLK), which does not change as the frame size is altered. The pixel data rate is fixed and is independent of frame size(frame rate). [Table 3] shows windowx, y start/stop(Reg.A-08h ~ A-0Fh) registers value for default window and maximum window.



Default data structure of frame and window. (Top view)

本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。



[Fig1] Bayer Color filter pattern

Pixel array is covered by Bayer color filters as can be seen in the [Fig. 1]. Since each pixel can have only one type of filter on it, only one color component can be produced by a pixel. NCM03-V provides this Bayer pattern RGB data through an 8bit channel. It takes one PCLK to pass one pixel RGB data to output bus. But since it is necessary to know all 3 color components R, G, B to produce a color for a pixel, the other two components must be inferred from other pixel data. For example, G component for a B pixel is calculated as an average of its four nearest G neighbors, and its R component as an average of its four nearest R neighbors. This operation of inferring missing data from existing ones is called the color interpolation. Color interpolation produces an undesirable artifact in image. Sampling nature of color filter can leave an interference pattern around an area with repetitive fine lines. NCM03-V adopts a low pass filter to prevent the interference patterns (called Moire pattern) from degrading the image quality too much. After color interpolation, every pixel has all three color components. These three color components R, G, B can be routed to 8 bits output pins in such a way RGB565. It takes two PCLK"s to pass one pixel RGB data to output bus.

It is possible to extract monochrome luminance data from RGB color components and the conversion equation is : $Y = 0.299R + 0.587G + 0.114B$ where R,G and B are gamma corrected color components. And the color information is separated from luminance information according to following equations.

$$U = 0.492 (B - Y), V = 0.877 (R - Y)$$

Since human eyes are less sensitive to color variation than to luminance, color components can be sub-sampled to reduce the amount of data to be transmitted, but preserving almost the same image quality.

NCM03-V supports 4:2:2 YUV data format where U and V components are horizontally sub-sampled such that U and V for every other pixel are omitted. NCM03-V also supports ITU-R BT.601 YCbCr format which is a scaled, offset version of YUV. Y is the same in both formats but the CbCr is formed as follows.

$$C_b = 0.564 (B - Y) + 128$$

$$C_r = 0.713 (R - Y) + 128$$

U1	Y1	V1	Y2	U3	Y3	V3	Y4	...
----	----	----	----	----	----	----	----	-----

4:2:2 YUV data sequence.

本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
 また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

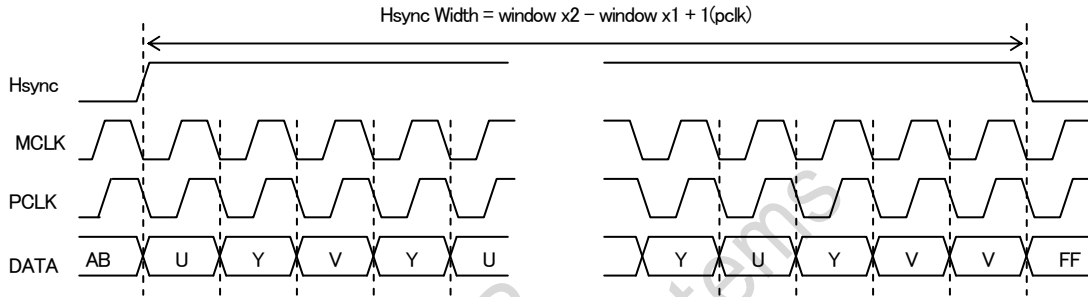
Data and Synchronization Timing

the default data sequence of NCM03-V. In [Fig. 2] Hsync / PCLK polarity can have any combinations possible. Data can be latched at the rising or falling edge of PCLK. Hsync can be set to be active high or active low. The sequence default YUV data is [U,Y, V, Y, ...] for common even / odd rows.

The width of Hsync can be programmed by windowx1 / x2(Reg.A-08h, 09h, 0Ch, 0Dh) and given by

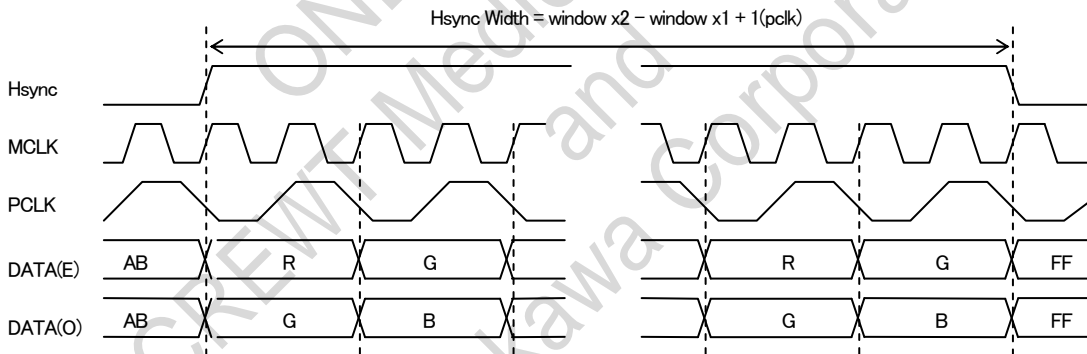
$$\text{Hsync Width} = \text{windowx2} - \text{windowx1} + 1$$

Data value can be selected in Invalid or blanking region . (Reg.B-AEh ~ B6h)



Timing diagram for Hsync, MCLK, PCLK and Data (YUV mode : default)

The default sequence Bayer data is [RGRG...] for even rows and [GBGB...] for odd rows.



Timing diagram for Hsync, MCLK, PCLK and Data (Bayer mode)

[Fig2]

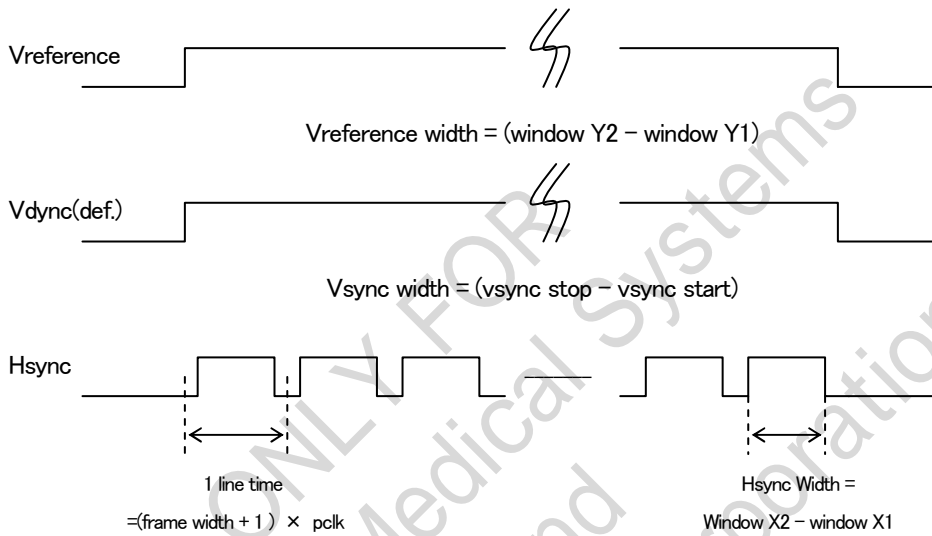
本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

In [Fig 3], Vsync polarity also can have any combinations possible and can be set to be active high or active low. The width of Vsync can be programmed by vsyncstart / vsyncstop(Reg.A-10h ~ 13h) and given by

$$Vsync\ Width = (vsyncstop - vsyncstart).$$

The width of Vreference can be programmed by register windowy1 / y2(Reg.A-0Ah, 0Bh, 0Eh, 0Fh)and given by

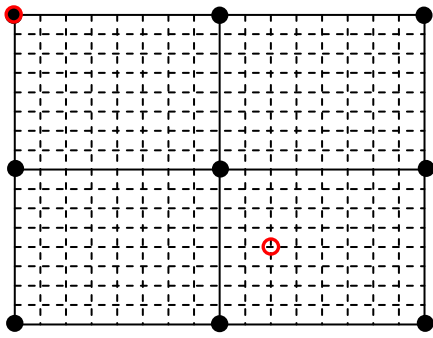
$$Vreference\ width = (window\ Y2 - window\ Y1)$$



[Fig3]Timing diagram for Vsync and Hsync

本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

Scaling



Free Scaling

- Full image pixel locations
 $X \text{ points} = 32 * M$
 $Y \text{ points} = 32 * N$
 Where, M & N is integer (0, 1, 2, ...)

- Scaled image sampling points
 $X \text{ Sampling points} = \text{reg_scale_X} * P$
 $Y \text{ Sampling points} = \text{reg_scale_Y} * Q$
 Where, P, Q is integer (0, 1, 2, ...)

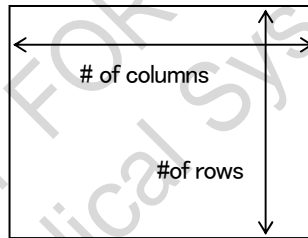
←Example

Reg_scale_x = 40

Reg_scale_y = 48

(reg_window_x1, reg_window_y1)

minimum = (1, 1)



(reg_window_x2, reg_window_y2)

maximum = (648, 488)

Effective Image Size

Effective Image. # of columns = reg_window_x2 - reg_window_x1 + 1

Effective Image. # of rows = reg_window_y2 - reg_window_y2 + 1

本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
 また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。



VGA / CIF scaling case : default



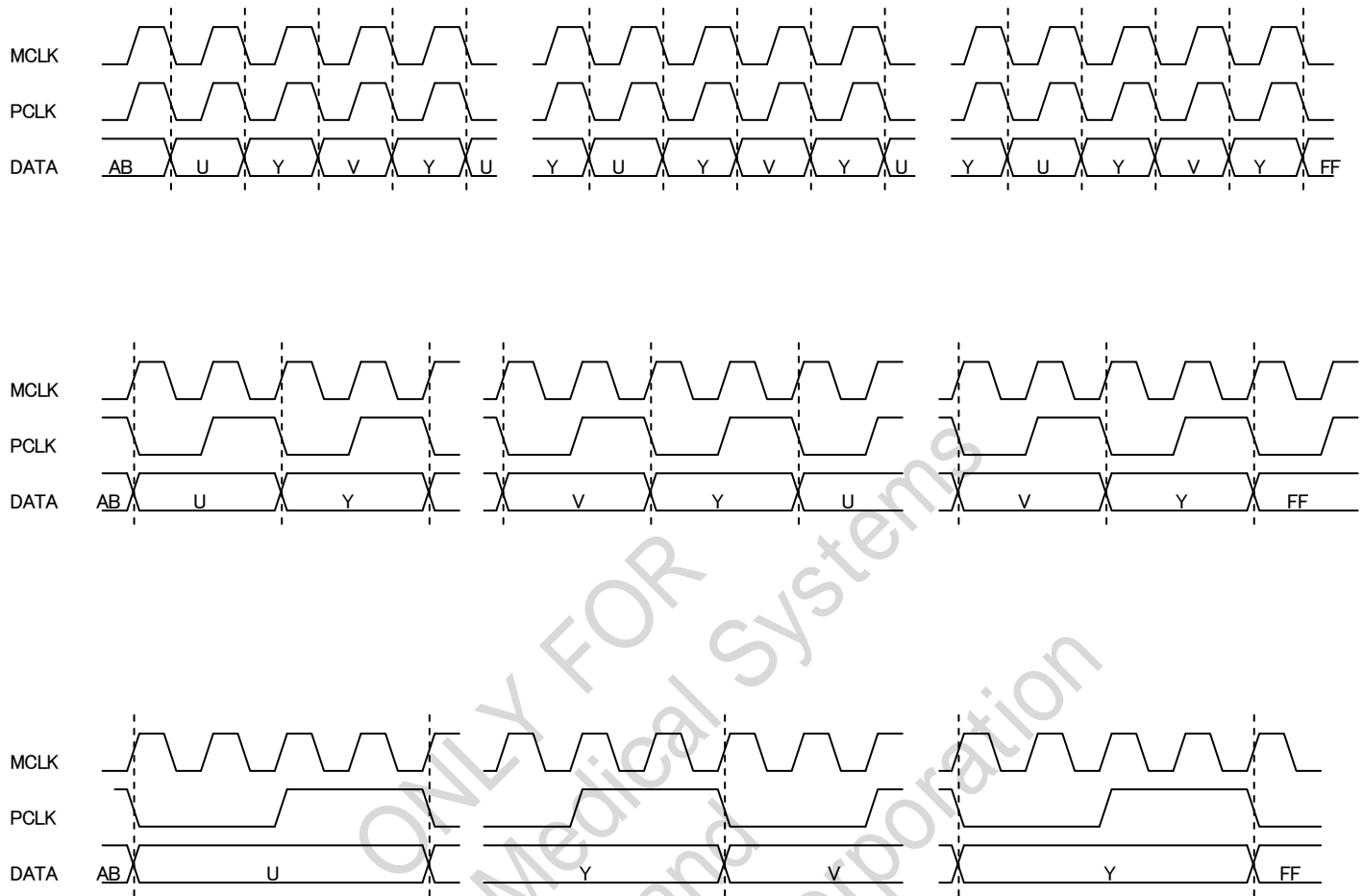
QVGA / QCIF scaling case



QQVGA scaling case

Timing diagram for VSYNC and HSYNC (scaling modes)

本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。



Timing diagram for PCLK and Data (scaling modes)

本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
 また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

2-wire Serial Interface Description

The registers of NCM03-V are written and read through the 2-wire Serial Interface. The NCM03-V has 2-wire Serial Interface slave. The NCM03-V is controlled by the Register Access Clock (SSCLK), which is driven by the 2-wire Serial Interface master. Data is transferred into and out of the NCM03-V through the Register Access Data (SSDAT) line. The SSCLK and SSDAT lines are pulled up to VDD by a 2k Ω off-chip resistor. Either the slave or master device can pull the lines down. The 2-wire Serial Interface protocol determines which device is allowed to pull the two lines down at any given time.

Start bit

The start bit is defined as a HIGH to LOW transition of the data line while the clock line is HIGH.

Stop bit

The stop bit is defined as a LOW to HIGH transition of the data line while the clock line is HIGH.

Slave Address

The 8-bit address of a 2-wire Serial Interface device consists of 7-bit of address and 1-bit of direction. A „0“ in the LSB of the address indicates write mode, and a „1“ indicates read-mode.

Data bit transfer

One data bit is transferred during each clock pulse. The SSCLK pulse is provided by the master. The data must be sGroup During the HIGH period of the SSCLK : it can only change when the SSCLK is LOW. Data is transferred 8 bits at a time, followed by an acknowledge bit.

Acknowledge bit

The receiver generates the acknowledge clock pulse. The transmitter (which is the master when writing, or the slave when reading) releases the data line, and receiver indicates an acknowledge bit by pulling the data line low during the acknowledge clock pulse.

No-acknowledge bit

The no-acknowledge bit is generated when the data line is not pulled down by the receiver during the acknowledge clock pulse. A no-acknowledge bit is used to terminate a read sequence.

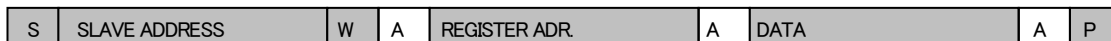
Sequence

A typical read or write sequence begins by the master sending a start bit. After start bit, the master sends the slave device's 8-bit address. The last bit of the address determines if the request will be a read or a write, where a „0“ indicates a write and a „1“ indicates a read. The slave device acknowledges its address by sending an acknowledge bit back to the master. If the request was a write, the master then transfers the 8-bit register address to which a write should take place. The slave sends an acknowledge bit to indicate that the register address has been received. The master then transfers the data 8 bits at a time, with the slave sending an acknowledge bit after each 8 bits. The NCM03-V uses 8 bit data for its internal registers, thus requiring one 8-bit transfer to write to one register. After 8 bits are transferred, the register address is automatically incremented, so that the next 8 bits are written to the next register address. The master stops writing by sending a start or stop bit. A typical read sequence is executed as follows. First the master sends the write-mode slave address and 8-bit register address just as in the write request. The master then sends a start bit and the read-mode slave address. The master then clocks out the register data 8 bits at a time. The master sends an acknowledge bit after each 8-bit transfer. The register address is auto-incremented after each 8 bit is transferred. The data transfer is stopped when the master sends a no-acknowledge bit.

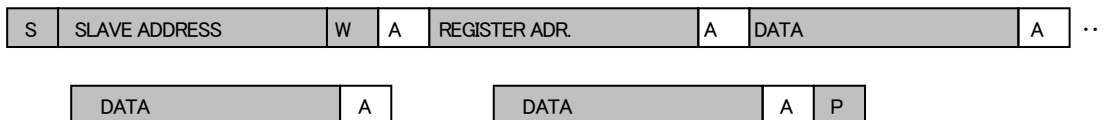
本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

2-wire Serial Interface Functional Description

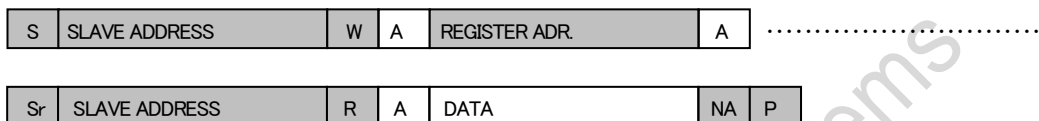
Single Write Mode operation



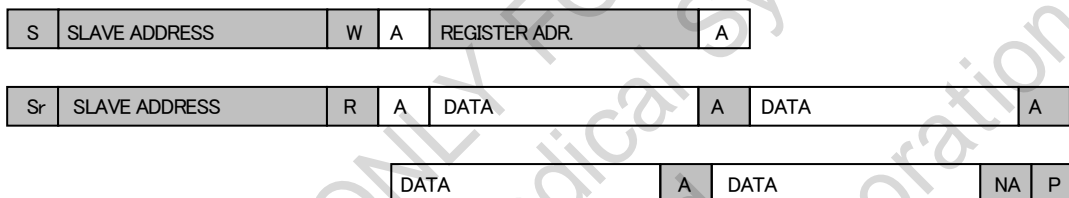
Multiple Write Mode (Register address is increased automatically) operation



Single Read Mode operation



Multiple Read Mode (Register address is increased automatically) operation



S: Start condition. Sr : Repeated Start (Start without preceding stop.)

SLAVE ADDRESS: write address = DCh = 11011100b

read address = DDh = 11011101b

R/W: Read/Write selection. High = read / LOW = write.

A: Acknowledge bit. NA : No Acknowledge.

DATA: 8-bit data

P: Stop condition

Note 1: Continuous writing or reading without any interrupt increases the register address automatically. If the address is increased above valid register address range, further writing does not affect the chip operation in write mode. Data from invalid registers are undefined in read mode.

本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
 また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

Register Tables -A

Address	Register name	Default	type	Description
00	Device ID H	0xA0	RO	Device ID
01	Device ID L	0x30	RO	
02	Rev Number	0x00	RO	Revision number
03	Bank	0x40	RW	Bank Selector
04	Frame width H	0x03	RW	Frame Width
05	Frame width L	0x59	RW	
06	Frame Height H	0x02	RW	Frame Height
07	Frame Height L	0x0C	RW	
08	Window X1 H	0x00	RW	Window X1 position
09	Window X1 L	0x05	RW	
0A	Window Y1 H	0x00	RW	Window Y1 position
0B	Window Y1 L	0x05	RW	
0C	Window X2 H	0x02	RW	Window X2 position
0D	Window X2 L	0x84	RW	
0E	Window Y2 H	0x01	RW	Window Y2 position
0F	Window Y2 L	0xE4	RW	
10	Vsync Start Row H	0x00	RW	Out put Vsync Start position (Row)
11	Vsync Start Row L	0x16	RW	
12	Vsync Stop Row H	0x01	RW	Out put Vsync Stop position (Row)
13	Vsync Stop Row L	0xF6	RW	
14	Vsync Column H	0x00	RW	Out put Vsync Start/Stop position (Column)
15	Vsync Column L	0x10	RW	
17	Int time H	0x00	RW	Integration Time (line)
18	Int time M	0x80	RW	
19	Int time L	0x00	RW	
1A	Global Gain	0x00	RW	Analog Global Gain
1B	Global Gain	0x40	RW	Digital Gain
36	AE FWX1 H	0x00	RW	AE Window x1 position
37	AE FWX1 L	0x05	RW	
38	AE FWX2 H	0x02	RW	
39	AE FWX2 L	0x84	RW	AE Window X2 position
3A	AE FWY1 H	0x00	RW	AE Window Y1 position
3B	AE FWY1 L	0x05	RW	
3C	AE FWY2 H	0x01	RW	
3D	AE FWY2 L	0xE4	RW	AE window Y2 position
3E	AE CWX1 H	0x00	RW	AE Center Window X1 position
3F	AE CWX1 L	0xDA	RW	
40	AE CWX2 H	0x01	RW	
41	AE CWX2 L	0xAF	RW	AE Center Window X2 position
42	AE CWY1 H	0x00	RW	AE Center Window Y1 position
43	AE CWY1 L	0xA5	RW	
44	AE CWY2 H	0x01	RW	
45	AE CWY2 L	0x44	RW	AE Center Window Y2 position
46	AWB FWX1 H	0x00	RW	AWB Window X1 position
47	AWB FWX1 L	0x05	RW	
48	AWB FWX2 H	0x02	RW	
49	AWB FWX2 L	0x84	RW	AWB Window X2 position
4A	AWB FWY1 H	0x00	RW	AWB Window Y1 position
4B	AWB FWY1 L	0x05	RW	
4C	AWB FWY2 H	0x01	RW	
4D	AWB FWY2 L	0xE4	RW	AWB Window Y2 position

本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
 また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

Register Tables -A

Address	Register name	Default	type	Description
4E	AWB CWX1 H	0x00	RW	AWB Center Window X1 position
4F	AWB CWX1 L	0xDA	RW	
50	AWB CWX2 H	0x01	RW	AWB Center Window X2 position
51	AWB CWX2 L	0xAF	RW	
52	AWB CWY1 H	0x00	RW	AWB Center Window Y1 position
53	AWB CWY1 L	0xA5	RW	
54	AWB CWY2 H	0x01	RW	AWB Center Window Y2 position
55	AWB CWY2 L	0x44	RW	
59	Pad Control	0x59	RW	Pad Control
67	Soft Reset	0x00	RW	Soft Reset
68	Clkdiv	0x00	RW	Clock Divider
6A	Bayer Control 1	0x07	RW	Bayer Control Registers

ONLY FOR
CREWT Medical Systems
and
Miyakawa Corporation

本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

Register Tables -B

Address	Register name	Default	type	Description
00	Device ID H	0xA0	RO	Device ID
01	Device ID L	0x30	RO	
02	Rev Number	0x00	RO	Revision number
03	Bank	0x00	RW	Bank Selector
04	ISP Func 0	0xF7	RW	ISP Function Control
05	ISP Func 1	0xFB	RW	
06	ISP Func 2	0x00	RW	
07	ISP Func 3	0xA1	RW	
08	ISP Func 4	0x00	RW	
0B	TP Control 0	0x00	RW	Test Pattern Control
13	Lens Red E	0x51	RW	Lens Shading Compensation Scale
14	Lens Red W	0x51	RW	
15	Lens Red N	0x51	RW	
16	Lens Red S	0x51	RW	
17	Lens G1 E	0x51	RW	
18	Lens G1 W	0x51	RW	
19	Lens G1 N	0x51	RW	
1A	Lens G1 S	0x51	RW	
1B	Lens G2 E	0x51	RW	
1C	Lens G2 W	0x51	RW	
1D	Lens G2 N	0x51	RW	
1E	Lens G2 S	0x51	RW	
1F	Lens Blu E	0x51	RW	
20	Lens Blu W	0x51	RW	
21	Lens Blu N	0x51	RW	
22	Lens Blu S	0x51	RW	
23	Lens pwl 0	0x80	RW	Lens Shading Compensation PWL Gain
24	Lens pwl 1	0x82	RW	
25	Lens pwl 2	0x84	RW	
26	Lens pwl 3	0x88	RW	
27	Lens pwl 4	0x8C	RW	
28	Lens pwl 5	0x90	RW	
29	Lens pwl 6	0x94	RW	
2A	Lens pwl 7	0x98	RW	
2B	Lens pwl 8	0x9C	RW	
2C	Lens pwl 9	0xA0	RW	
2D	Lens pwl 10	0xA4	RW	
2E	Lens pwl 11	0xA8	RW	
2F	Lens pwl 12	0xAC	RW	
30	Lens pwl 13	0xB0	RW	
31	Lens pwl 14	0xB4	RW	
32	Lens pwl 15	0xB8	RW	
33	Lens pwl 16	0xBC	RW	
34	Lens pwl 17	0xC0	RW	
35	Lens pwl 18	0xC4	RW	
36	Lens pwl 19	0xC8	RW	
37	Lens pwl 20	0xCC	RW	
38	Lens pwl 21	0xD0	RW	
39	Lens pwl 22	0xD4	RW	
3A	Lens pwl 23	0xD8	RW	
3B	Lens pwl 24	0xDC	RW	

本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
 また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

Register Tables -B

Address	Register name	Default	type	Description
40	Lens Gain R	0x00	RW	Lens Shading Compensation Gain
41	Lens Gain G1	0x00	RW	
42	Lens Gain G2	0x00	RW	
43	Lens Gain B	0x00	RW	
44	Lens R X	0x00	RW	Lens Shading Compensation Center Position
45	Lens R Y	0x00	RW	
46	Lens G1 X	0x00	RW	
47	Lens G1 Y	0x00	RW	
48	Lens G2 X	0x00	RW	
49	Lens G2 Y	0x00	RW	
4A	Lens B X	0x00	RW	
4B	Lens B Y	0x00	RW	
4E	Format	0x00	RW	Format Control
54	Led Center	0x00	RW	Led Control Register
55	Led Lvth1	0x00	RW	
56	Led Lvth2	0x00	RW	
57	Led Lvth3	0x00	RW	
58	Led Lvth4	0x00	RW	
59	Led Frame	0x80	RW	
5E	Edge Gain	0x20	RW	Edge Enhancement Gain
62	CCR M11	0x45	RW	Color Correction Matrix Value
63	CCR M12	0xA0	RW	
64	CCR M13	0x85	RW	
65	CCR M21.	0x8F	RW	
66	CCR M22	0x45	RW	
67	CCR M23	0x96	RW	
68	CCR M31	0x84	RW	
69	CCR M32	0x94	RW	
6A	CCR M33	0x38	RW	
6D	YGM Y0	0x00	RW	Y Gamma Reference Registers
6E	YGM Y1	0x0B	RW	
6F	YGM Y2	0x17	RW	
70	YGM Y3	0x22	RW	
71	YGM Y4	0x2E	RW	
72	YGM Y5	0x40	RW	
73	YGM Y6	0x50	RW	
74	YGM Y7	0x6E	RW	
75	YGM Y8	0x88	RW	
76	YGM Y9	0xAE	RW	
77	YGM Y10	0xCA	RW	
78	YGM Y11	0xDC	RW	
79	YGM Y12	0xEC	RW	
7A	YGM Y13	0xF6	RW	
7B	YGM Y14	0xFF	RW	

本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
 また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

Register Tables -B

Address	Register name	Default	type	Description
7E	CBM Y 0	0x00	RW	RGB Gamma Reference Registers
7F	CBM Y 1	0x0B	RW	
80	CBM Y 2	0x17	RW	
81	CBM Y 3	0x22	RW	
82	CBM Y 4	0x2E	RW	
83	CBM Y 5	0x40	RW	
84	CBM Y 6	0x50	RW	
85	CBM Y 7	0x6E	RW	
86	CBM Y 8	0x88	RW	
87	CBM Y 9	0xAE	RW	
88	CBM Y 10	0xCA	RW	
89	CBM Y 11	0xDC	RW	
8A	CBM Y 12	0xED	RW	
8B	CBM Y 13	0xF6	RW	
8C	CBM Y 14	0xFF	RW	
8F	Sketch Offset	0x8C	RW	Sketch Offset
93	Scale X	0x20	RW	Scale Control
94	Scale Y	0x20	RW	
9D	Y Contrast	0x40	RW	Y Contrast
9E	Y Brightness	0x00	RW	Y Brightness
9F	Y max	0xFE	RW	Y max
AF	Sync CcirFF	0xFF	RW	CCIR656 Control
B0	Sync Ccir00	0x00	RW	
B1	Sync Ccir80	0x80	RW	
B2	Sync Ccir10	0x10	RW	
B3	Sync Blank SAV	0xB6	RW	
B4	Sync Blank EAV	0x9D	RW	
B5	Sync Active SAV	0xAB	RW	
B6	Sync Active EAV	0x80	RW	
B8	Sync control 1	0x00	RW	Sync Control
F0	Fd Period A H	0x00	RW	Flicker Period for state A
F1	Fd Period A M	0x83	RW	
F2	Fd Period A L	0x45	RW	
F3	Fd Period B H	0x00	RW	Flicker Period state B
F4	Fd Period B M	0x9D	RW	
F5	Fd Period B L	0x86	RW	
F6	Fd Period C H	0x03	RW	Flicker Period for 1/20 sec
F7	Fd Period C M	0x13	RW	
F8	Fd fheight A H	0x02	RW	Frame Height for flicker State A
F9	Fd Fheight A L	0x0C	RW	
FA	Fd fheight B H	0x02	RW	Frame Height for flicker State B
FB	Fd fheight b L	0x32	RW	

本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
 また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

Register Tables -C

Address	Register name	Default	type	Description
00	Device ID H	0xA0	RO	Device ID
01	Device ID L	0x30	RO	
02	Rev Number	0x00	RO	Revision number
03	Bank	0x00	RW	Bank Selector
04	Auto Control 1	0x98	RW	Auto Control Registers
0D	Ext Inttime H	0x00	RW	Manual Integration Time For External AE Mode
0E	Ext Inttime M	0x80	RW	
0F	Ext Inttime L	0x00	RW	
10	Ext glbg H	0x01	RW	Manual Lineargain for External AE Mode
11	Ext glbg L	0x00	RW	
12	Exposure T	0x00	RW	Exposure Registers
13	Exposure H	0x00	RW	
14	Exposure M	0x80	RW	
15	Exposure L	0x00	RW	
16	Exp FrmH H	0x02	RW	Exposure Frame Height
17	Exp FrmH L	0x0C	RW	
18	Midfrm Height H	0x04	RW	AE Reference Registers
19	Midfrm Height L	0x18	RW	
1A	Maxfrm Height H	0x08	RW	
1B	Maxfrm Height L	0x30	RW	
1C	Minexp H	0x00	RW	
1D	Minexp M	0x00	RW	
1E	Minexp L	0x0C	RW	
1F	Mid exp T	0x00	RW	
20	Midexp H	0x20	RW	
21	Midexp M	0xC0	RW	
22	Maxexp T	0x00	RW	
23	maxexp H	0x41	RW	
24	Maxexp M	0x80	RW	
30	AE Weight C	0x0C	RW	AE Center Weight
31	AE Weight P	0x34	RW	AE Peripheral Weight
3A	Max yt1	0x70	RW	Min/Max Ytarget Reference
3C	Min yt1	0x70	RW	
48	AE Up Speed	0x08	RW	AE Upside Speed
49	AE Down Speed	0x0C	RW	AE Downside Speed
4A	AE Lock	0x02	RW	AE Lock Range
75	AWB Rratio	0x80	RW	rg/bg Ratio (AWB Target)
76	AWB Bratio	0x80	RW	
78	AWB Lock	0x02	RW	AWB Lock Range
79	AWB Speed	0x08	RW	AWB Speed
7B	AWB Rgain Min 1	0x00	RW	AWB Min/Max Clamping Reference
7C	AWB Rgain Min 2	0x00	RW	
7D	AWB Rgain Max 1	0xFF	RW	
7E	AWB Rgain Max 2	0xFF	RW	
7F	AWB Bgain Min 1	0x00	RW	
80	AWB Bgain Min 2	0x00	RW	
81	AWB Bgain Max 1	0xFF	RW	
82	AWB Bgain Max 2	0xFF	RW	
83	AWB Cmp th1 H	0x02	RW	
84	AWB Cmp th1 L	0x03	RW	
85	AWB Cmp th2 H	0x04	RW	
86	AWB Cmp th2 L	0x06	RW	

本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
 また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

Register Tables -C

Address	Register name	Default	type	Description
9D	User cs	0x20	RW	User cs gain
9E	cs11	0x25	RW	cs Matrix
9F	cs12	0x00	RW	
A0	cs21	0x00	RW	
A1	cs22	0x25	RW	

ONLY FOR
CREWT Medical Systems
and
Miyakawa Corporation

本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

■DeviceID, RevNumber, Register Selector

Address	Register name	Default	type	Description
00	Device ID H	0xA0	RO	Device ID
01	Device ID L	0x30	RO	
02	Rev Number	0x00	RO	Revision number
03	Bank	0x40	RW	Bank Selector

DeviceID, RevNumber, Register Selector

Indicate PO8030K device ID, reversion number, Register Select.

Common registers of Group A(00h) / B(01h) / C(02h) / D(03h).

■FrameWidth, FrameHeight

Address	Register name	Default	type	Description
04	Frame width H	0x03	RW	Frame Width
05	Frame width L	0x59	RW	
06	Frame Height H	0x02	RW	Frame Height
07	Frame Height L	0x0C	RW	

FrameWidth, FrameHeight

FrameWidth is the number of columns to be counted during one line time. FrameHeight is the number of rows. Column (or Row) counter value is incremented 1 by 1 until it reaches FrameWidth (or FrameHeight), then it is reset to 0. FrameHeight and FrameWidth determines the frame rate. Frame rate is given as follows.

$$\text{Frame Rate} = \text{freq (PCLK)} / ((\text{FrameHeight} + 1) \times (\text{FrameWidth} + 1))$$

For example, If Pixel clock (PCLK) = 13.5 MHz, FrameHeight = 857d and FrameWidth = 524d, then, the frame rate is 30 fps for CIF Mode. If you double the Frame Height , you cut the frame rate by half.

■Window

Address	Register name	Default	type	Description
08	Window X1 H	0x00	RW	Window X1 position
09	Window X1 L	0x05	RW	
0A	Window Y1 H	0x00	RW	Window Y1 position
0B	Window Y1 L	0x05	RW	
0C	Window X2 H	0x02	RW	Window X2 position
0D	Window X2 L	0x84	RW	
0E	Window Y2 H	0x01	RW	Window Y2 position
0F	Window Y2 L	0xE4	RW	

Window

Window can be defined by 4 parameters : WindowX1, WindowY1, WindowX2, and WindowY2. Serial image data stream out pixel by pixel. Window specifies the area of pixels that we are interested in. Hsync signal indicates if the image data output is from a pixel that lies within the window area or not. Output data stream does not stop for pixels lying outside the window : just the Hsync signal is de-asserted. The actual window position in the frame is given as ,

upper right corner = (Window X1 + 1, Window Y1)

lower left corner = (Window X2, Window Y2 -1)

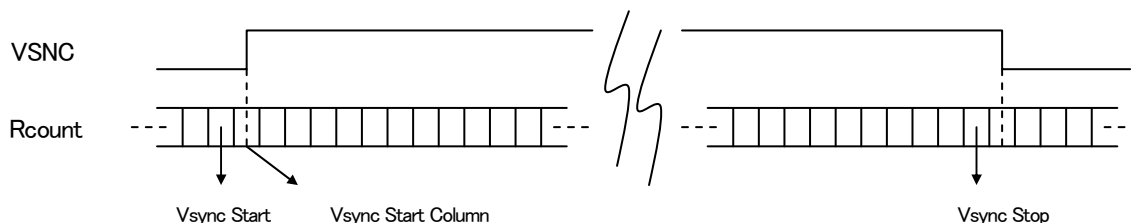
All the coordinates are with respect to the maximum window origin (0, 0) . Window position and size are with respect to the full sampling mode. It is not necessary to change the window parameters when sampling mode is switched between one and another.

■Vsync Row Start/Stop, Vsync Column Start

Address	Register name	Default	type	Description
10	Vsync Start Row H	0x00	RW	Out put Vsync Start position (Row)
11	Vsync Start Row L	0x16	RW	
12	Vsync Stop Row H	0x01	RW	Out put Vsync Stop position (Row)
13	Vsync Stop Row L	0xF6	RW	
14	Vsync Column H	0x00	RW	Out put Vsync Start/Stop position (Column)
15	Vsync Column L	0x10	RW	

Output Vsync Generation

Output Vsync Row Start/Stop points and Column Start point



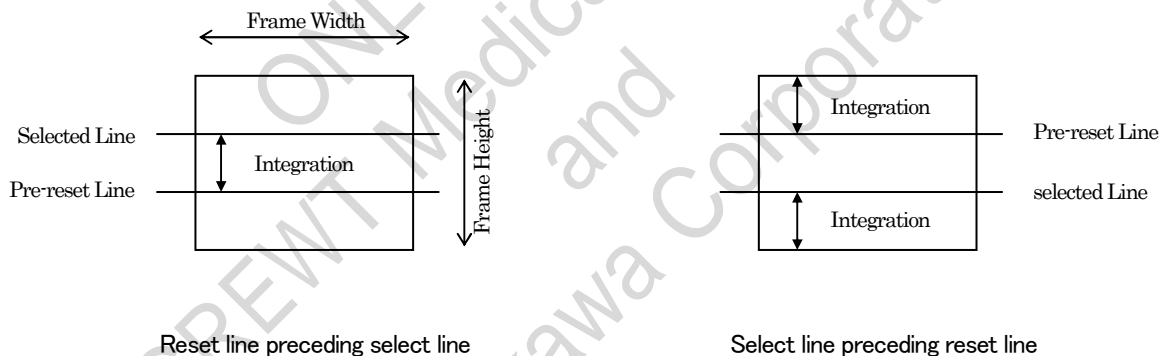
本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
 また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

■Integration time

Address	Register name	Default	type	Description
17	Int time H	0x00	RW	Integration Time (line)
18	Int time M	0x80	RW	
19	Int time L	0x00	RW	Integration Time (column)

integration time

There are 3 bytes of registers to control the photo-charge accumulation interval for each pixel. 17h and 18h registers indicate how many line times the integration will continue until they are all reset. 19h register further sub-divides one line time into 256 smaller intervals. Total integration time is the sum of the integral multiple and fractional parts of one line time. As the row counter value is incremented from 0 to FrameHeight, each line relevant to the row count is selected and all pixel data of that line is read out all at once. The read-out operation involves pixel reset pulses, so all pixels that are selected and read out are reset to initial states. To control exposure time, there runs another counter to select and reset a line other than the one that is selected to be read out. The space between the two lines is equal to the number of integration lines. There are two possible situations concerning the position of selected line and reset line. The 1st case is where the pre-reset counter runs ahead of read-out counter. And the other case is just the reverse of the 1st one. The number of integration lines is different for the two cases as is shown in the left figures. Since the basic unit of integration time for PO8030K is 1/ 256 line time, it is easy to implement Auto Exposure algorithms without worrying about strong light environment where the image may change abruptly in brightness or it may even blink



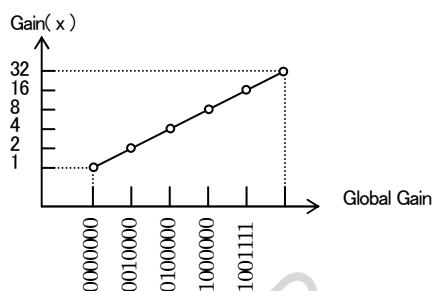
本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
 また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

■ Global gain

Address	Register name	Default	type	Description
1A	Global Gain	0x00	RW	Analog Global Gain

global gain

GlobalGain has effect on all of R, G, and B pixel outputs. Raw R, G, B data are amplified by a common factor of GlobalGain. The relation between GlobalGain and amplification factor is shown in the picture below



Maximum value of GlobalGain is 1001111. Gain factors for GlobalGain larger than or equal to 1010000 are not defined.

■ Digital gain

Address	Register name	Default	type	Description
1B	Global Gain	0x40	RW	Digital Gain

digital gain

Digital gain has effect on all of R, G, and B pixel outputs. Raw R, G, B data are amplified by a common factor of Digital Gain. The relation between Digital Gain and amplification factor is shown in below.

$$\text{amplification factor} = \text{digital gain} / 64 [x]$$

本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
 また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

■White balance gain

Address	Register name	Default	type	Description
23	wb_rgain	0x5D	RW	White Balance Gain(normalized)
24	wb_ggain	0x40	RW	
25	wb_bgain	0x5E	RW	

white balance red/green/blue gain

White Balance Red gain :

RedGain is the multiplication factor for red pixel output. Total gain factor for red pixels is (gain from GlobalGain) * (gain from Digitalgain / 64) * (gain from RedGain / 64).

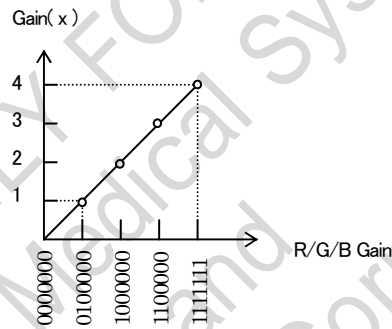
White Balance Green gain :

G1/G2 pixels which are amplified by this register are those green pixels whose nearest neighbors are red pixels or blue pixels. Green Gain operates as similar as RedGain.

White Balance Blue gain :

BlueGain operates as similar as RedGain.

These registers are controlled automatically by AWB function as default.



R / G / B gain can be used for white balance control. Bit7 of R/G/B Gain is weighted by 2, bit6 by 1 and the other consecutive bits are weighted by 1/2, 1/4, 1/8, ... respectively. That is, R/G/B gain is a binary number with decimal point between bit6 and bit5.

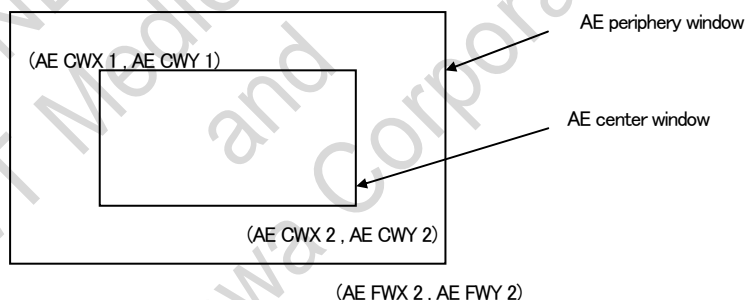
本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
 また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

■AE windows

Address	Register name	Default	type	Description
36	AE FWX1 H	0x00	RW	AE Window x1 position
37	AE FWX1 L	0x05	RW	
38	AE FWX2 H	0x02	RW	AE Window X2 position
39	AE FWX2 L	0x84	RW	
3A	AE FWY1 H	0x00	RW	AE Window Y1 position
3B	AE FWY1 L	0x05	RW	
3C	AE FWY2 H	0x01	RW	AE window Y2 position
3D	AE FWY2 L	0xE4	RW	
3E	AE CWX1 H	0x00	RW	AE Center Window X1 position
3F	AE CWX1 L	0xDA	RW	
40	AE CWX2 H	0x01	RW	AE Center Window X2 position
41	AE CWX2 L	0xAF	RW	
42	AE CWY1 H	0x00	RW	AE Center Window Y1 position
43	AE CWY1 L	0xA5	RW	
44	AE CWY2 H	0x01	RW	AE Center Window Y2 position
45	AE CWY2 L	0x44	RW	

AE windows

(AE FWX 1 , AE FWY 1)



(AE FWX 2 , AE FWY 2)

Full AE window and Center AE window are used to select and differentiate pixel waiting into the AE function for back light compensation.

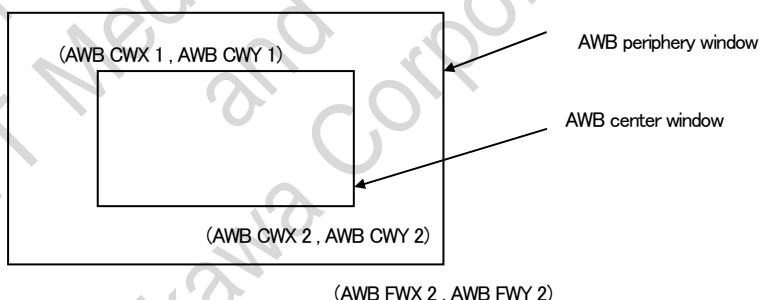
本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
 また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

■AWB windows

Address	Register name	Default	type	Description
46	AWB FWX1 H	0x00	RW	AWB Window X1 position
47	AWB FWX1 L	0x05	RW	
48	AWB FWX2 H	0x02	RW	AWB Window X2 position
49	AWB FWX2 L	0x84	RW	
4A	AWB FWY1 H	0x00	RW	AWB Window Y1 position
4B	AWB FWY1 L	0x05	RW	
4C	AWB FWY2 H	0x01	RW	AWB Window Y2 position
4D	AWB FWY2 L	0xE4	RW	
4E	AWB CWX1 H	0x00	RW	AWB Center Window X1 position
4F	AWB CWX1 L	0xDA	RW	
50	AWB CWX2 H	0x01	RW	AWB Center Window X2 position
51	AWB CWX2 L	0xAF	RW	
52	AWB CWY1 H	0x00	RW	AWB Center Window Y1 position
53	AWB CWY1 L	0xA5	RW	
54	AWB CWY2 H	0x01	RW	AWB Center Window Y2 position
55	AWB CWY2 L	0x44	RW	

AWB windows

(AWB FWX 1 , AWB FWY 1)



Full AWB window and Center AWB window are used to select and differentiate pixel waiting into the AWB function for controlling insensibility into center area.

本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
 また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

■Pad control

Address	Register name	Default	type	Description
59	Pad Control	0x59	RW	Pad Control

Register	bit	Name	Default	Description
0x59	7	stdby	0	Register stdby on/off 1: Stdby Mode 0: Normal Mode
	6	hiz	1	Data output pad hiz on/off 1: hiz 0: not hiz
	5	stadby level	1	stdby data output pad level selector (1x:hiz, 01:high, 00:low)
	4		0	
	3	clk off	0	clock kill control register 1: clock kill 0: not kill
	2	x	0	Reserved
	1	x	0	Reserved
	0	x	0	Reserved

本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
 また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

■ Soft reset

Address	Register name	Default	type	Description
67	Soft Reset	0x00	RW	Soft Reset

■ Clock divider

Address	Register name	Default	type	Description
68	Clkdiv	0x00	RW	Clock Divider

Clock divider

Clkdiv	Divide ratio
00h	MCLK
01h	$MCLK \times (2/3)$
02h	$MCLK \times (1/2)$
03h	$MCLK \times (1/3)$
04h	$MCLK \times (1/4)$
05h	$MCLK \times (1/8)$
else	MCLK

ONLY FOR
CREWT Medical Systems
and
Miyakawa Corporation

本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

■ Bayer control 01

Address	Register name	Default	type	Description
6A	Bayer Control 1	0x07	RW	Bayer Control Registers

Register	bit	Name	Default	Description
0x6A	7	vm	0	Vertical mirror on/off 0: disable 1: Enable
	6	hm	0	horizontal mirror on/off 0: disable 1: Enable
	5	×	0	Reserved
	4	×	0	Reserved
	3	×	0	Reserved
	2	×	1	Reserved
	1	×	1	Reserved
	0	×	1	Reserved

ONLY FOR
 CREWT Medical Systems
 and
 Miyakawa Corporation

本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
 また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

■ISP function control 0

Address	Register name	Default	type	Description
04	ISP Func 0	0xF7	RW	ISP Function Control

Register	bit	Name	Default	Description
0x04	7	lens_en	1	Lens Shading Compensation 0:Disable 1:Enable
	6	awb_en	1	White Balance 0:Disable 1:Enable
	5	×	1	Reserved
	4	×	1	Reserved
	3	×	0	Reserved
	2	×	1	Reserved
	1	ccr_en	1	Color Correction 0:Disable 1:Enable
	0	×	1	Reserved

本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
 また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

■ISP function control 1

Address	Register name	Default	type	Description
05	ISP Func 1	0xFB	RW	ISP Function Control

Register	bit	Name	Default	Description
0x05	7	cgm_en	1	Chrominance Gamma Correction 0:Disable 1:Enable
	6	ygm_en	1	Luminance Gamma Correction 0:Disable 1:Enable
	5	×	1	Reserved
	4	×	1	Reserved
	3	edge_en	1	Edge Enhancement 0:Disable 1:Enable
	2	×	0	Reserved
	1	×	1	Reserved
	0	×	1	Reserved

ONLY FOR
 CREWT Medical Systems
 and
 Miyakawa Corporation

本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
 また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

 ■ISP function control 2

Address	Register name	Default	type	Description
06	isp_func_2	0x000	RW	ISP Function Control

Register	bit	Name	Default	Description
0x06	7	×	0	Reserved
	6	×	0	Reserved
	5	×	0	Reserved
	4	×	0	Reserved
	3	emboss_en	0	Embossing Effect Enable/Disable
	2	emboss_mode	0	Embossing Effect mode selection
	1	sketch_en	0	Sketch Effect Enable/Disable
	0	×	0	Reserved

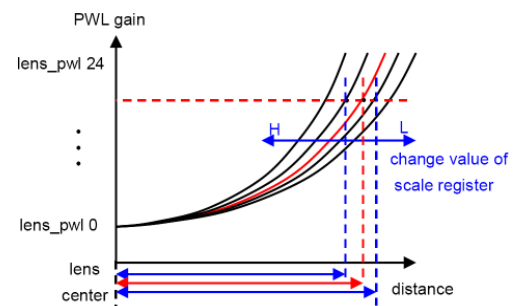
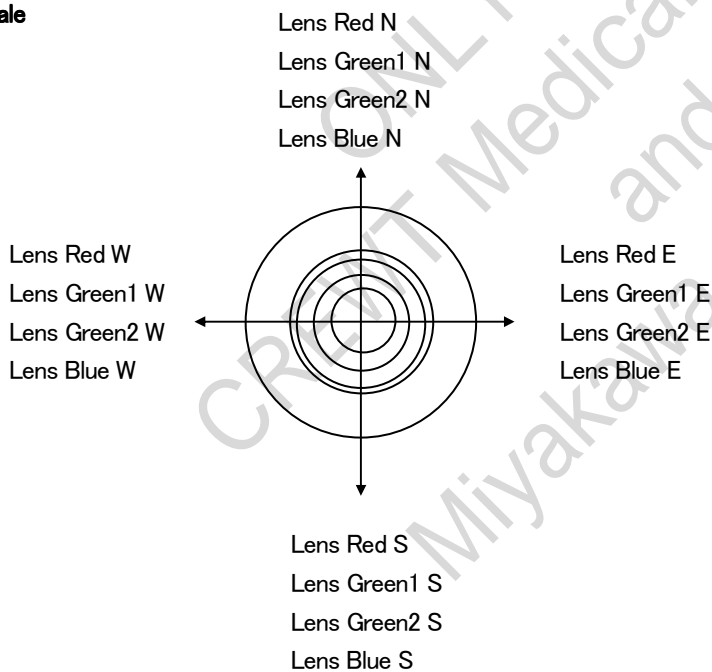
ONLY FOR
 CREWT Medical Systems
 and
 Miyakawa Corporation

本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
 また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

■ Scale of lens shading compensation

Address	Register name	Default	type	Description
13	Lens Red E	0x51	RW	Lens Shading Compensation Scale
14	Lens Red W	0x51	RW	
15	Lens Red N	0x51	RW	
16	Lens Red S	0x51	RW	
17	Lens G1 E	0x51	RW	
18	Lens G1 W	0x51	RW	
19	Lens G1 N	0x51	RW	
1A	Lens G1 S	0x51	RW	
1B	Lens G2 E	0x51	RW	
1C	Lens G2 W	0x51	RW	
1D	Lens G2 N	0x51	RW	
1E	Lens G2 S	0x51	RW	
1F	Lens Blu E	0x51	RW	
20	Lens Blu W	0x51	RW	
21	Lens Blu N	0x51	RW	
22	Lens Blu S	0x51	RW	

lens scale

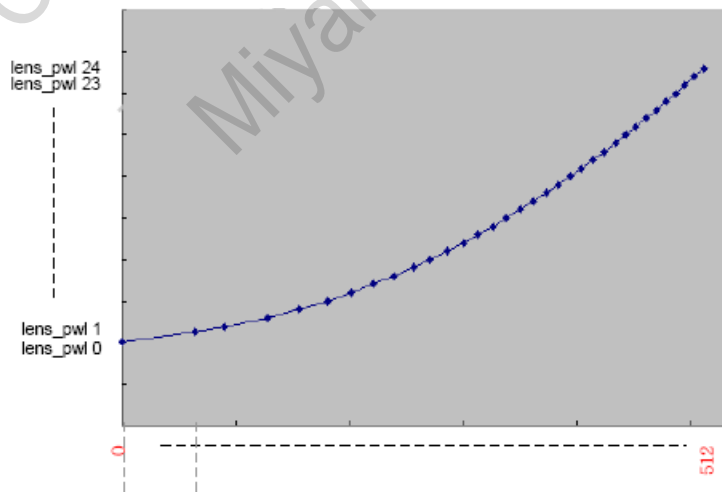


本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
 また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

■PWL gain of lens shading compensation

Address	Register name	Default	type	Description
23	Lens pwl 0	0x80	RW	Lens Shading Compensation pwl gain
24	Lens pwl 1	0x82	RW	
25	Lens pwl 2	0x84	RW	
26	Lens pwl 3	0x88	RW	
27	Lens pwl 4	0x8C	RW	
28	Lens pwl 5	0x90	RW	
29	Lens pwl 6	0x94	RW	
2A	Lens pwl 7	0x98	RW	
2B	Lens pwl 8	0x9C	RW	
2C	Lens pwl 9	0xA0	RW	
2D	Lens pwl 10	0xA4	RW	
2E	Lens pwl 11	0xA8	RW	
2F	Lens pwl 12	0xAC	RW	
30	Lens pwl 13	0xB0	RW	
31	Lens pwl 14	0xB4	RW	
32	Lens pwl 15	0xB8	RW	
33	Lens pwl 16	0xBC	RW	
34	Lens pwl 17	0xC0	RW	
35	Lens pwl 18	0xC4	RW	
36	Lens pwl 19	0xC8	RW	
37	Lens pwl 20	0xCC	RW	
38	Lens pwl 21	0xD0	RW	
39	Lens pwl 22	0xD4	RW	
3A	Lens pwl 23	0xD8	RW	
3B	Lens pwl 24	0xDC	RW	

ens PWL gain



本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
 また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

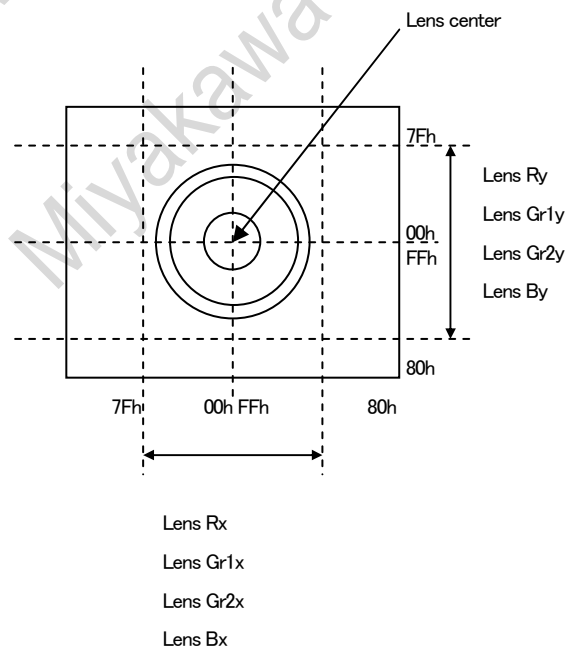
■ Lens gain & dark lens gain

Address	Register name	Default	type	Description
3C	Dark lens gainr	0x00	RW	Lens Shading Compensation gain (Dark filtering)
3D	Dark lens gain 1	0x00	RW	
3E	Dark lens gain 2	0x00	RW	
3F	Dark lens gainb	0x00	RW	
40	Lens Gain R	0x00	RW	Lens Shading Compensation Gain
41	Lens Gain G1	0x00	RW	
42	Lens Gain G2	0x00	RW	
43	Lens Gain B	0x00	RW	

■ Origin control of lens shading compensation

Address	Register name	Default	type	Description
44	Lens R X	0x00	RW	Lens Shading Compensation Center Position
45	Lens R Y	0x00	RW	
46	Lens G1 X	0x00	RW	
47	Lens G1 Y	0x00	RW	
48	Lens G2 X	0x00	RW	
49	Lens G2 Y	0x00	RW	
4A	Lens B X	0x00	RW	
4B	Lens B Y	0x00	RW	

Lens shading origin control



本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
 また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

■Format

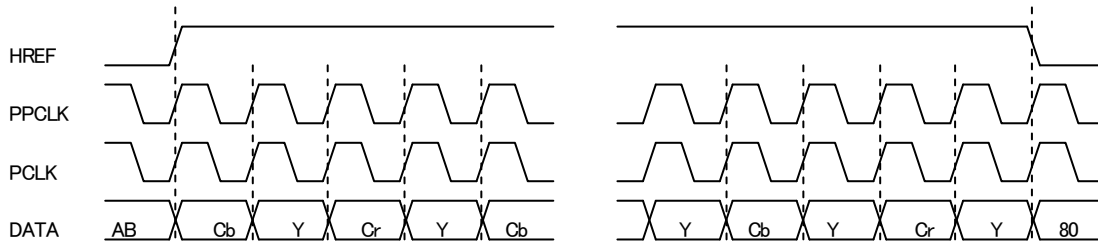
Address	Register name	Default	type	Description
4E	Format	0x00	RW	Format Control

Register	bit	Name	Default	Description
0x4E	7	Format Control	0	00h : CbYCrY
				01h : CrYCbY
	6		0	02h : YCbYCr
				03h : YCrYCb
	5		0	10h : RG/GB (Processed ISP)
				11h : GB/RG (Processed ISP)
	4		0	12h : GR/BG (Processed ISP)
				13h : BG/GR (Processed ISP)
3	0	20h : R only (for test only)		
		21h : G only (for test only)		
2	0	22h : B only (for test only)		
		30h : RGB565		
1	0	31h : RGB565 (byte swap)		
		32h : BGR565		
0	0	33h : BGR565 (byte swap)		
		41h : DPC bayer		
0	0	43h : mono (for mono sensor)		
		44h : Y only		

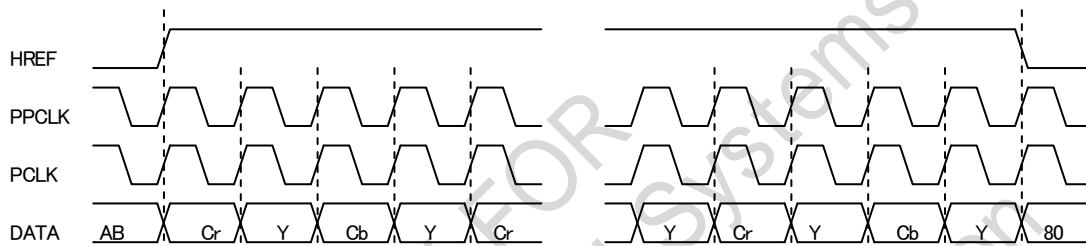
本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
 また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

Output timing diagrams for format register (1/4)

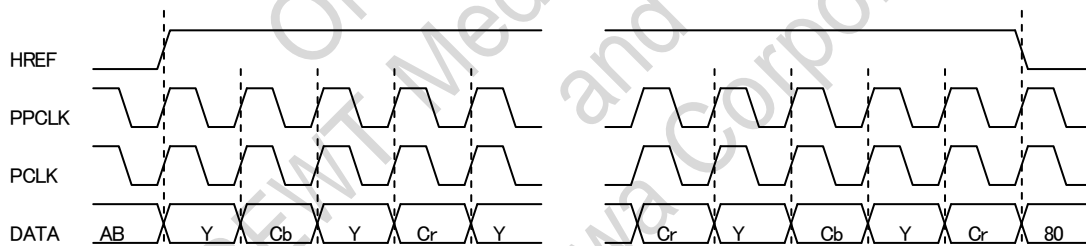
When format is 00h(Cb、Y、Cr、Y...)



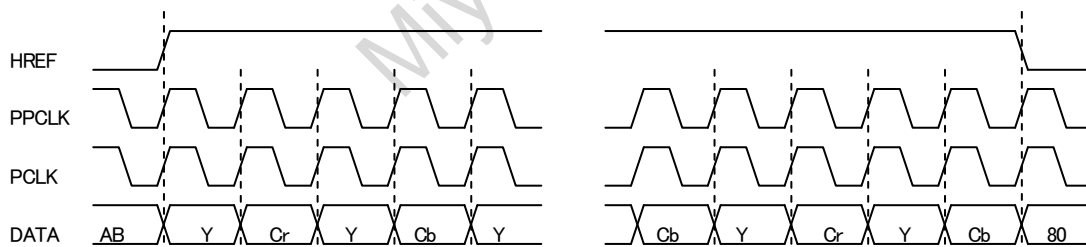
When format is 01h(Cr、Y、Cb、Y...)



When format is 02h(Y、Cb、Y、Cr...)



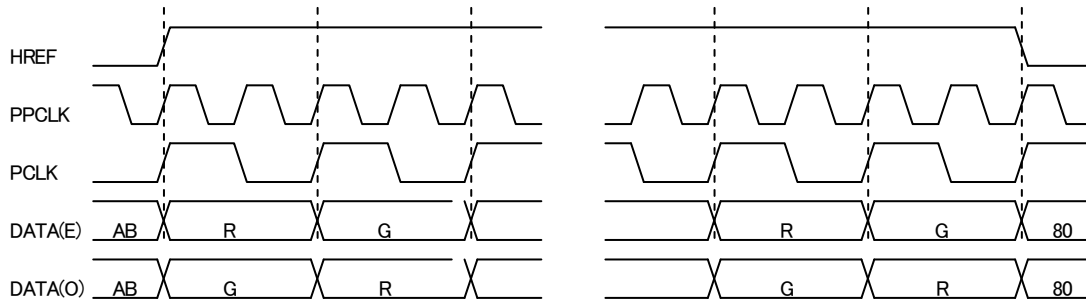
When format is 03h(Y、Cr、Y、Cb...)



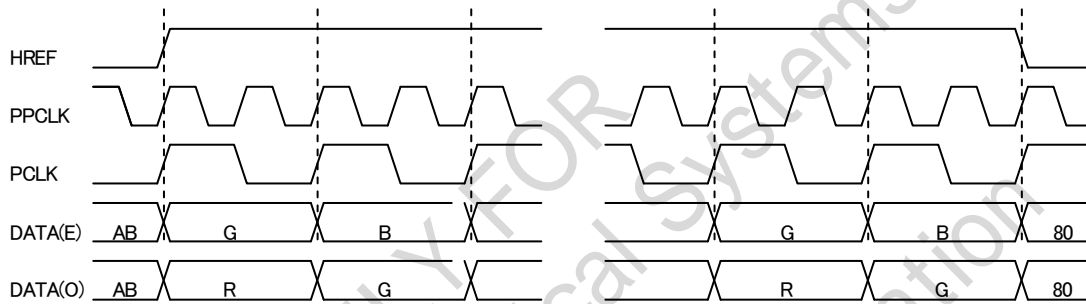
本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
 また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

Output timing diagrams for format register (2/4)

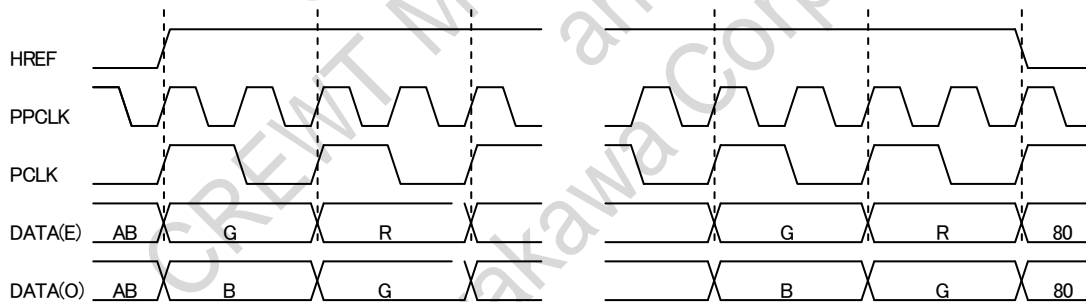
When format is 10h(ISP Bayer , RGRG,GBGB. . .)



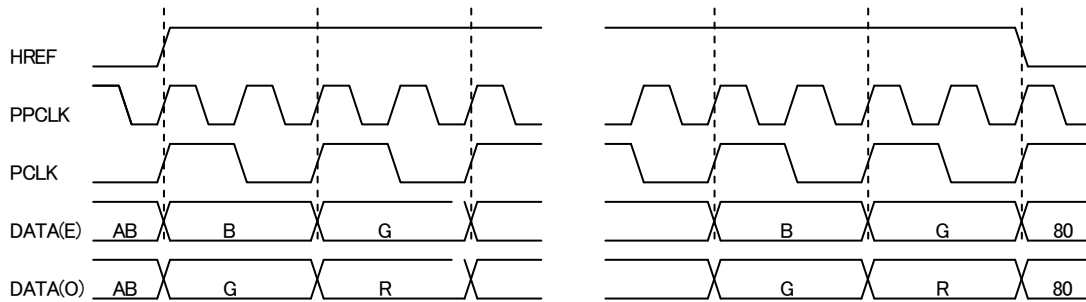
When format is 11h(ISP Bayer、GBGB、RGRG. . .)



When format is 12h (ISP Bayer GRGR、BRBR. . .)



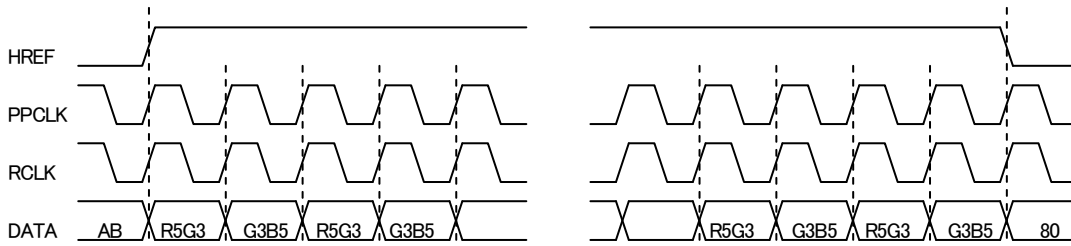
When format is 13h(ISP Bayer BGBG、GRGR. . .)



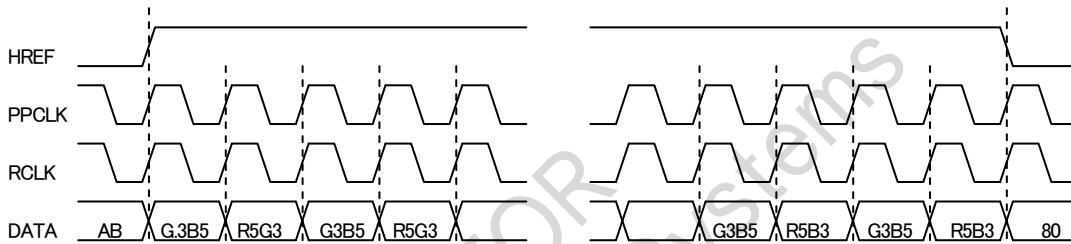
本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
 また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

Output timing diagrams for format register (3/4)

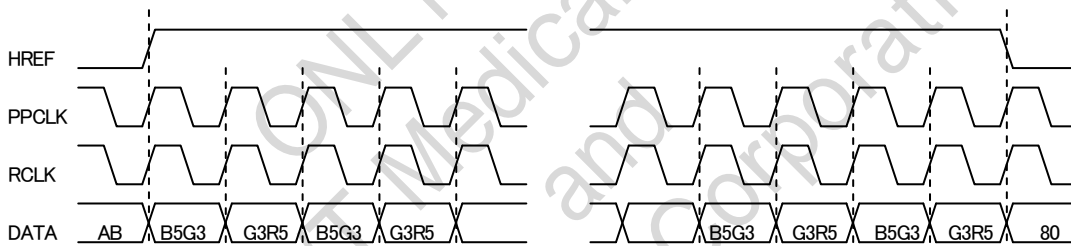
When format is 30h(R5G3、G3B5 . . .)



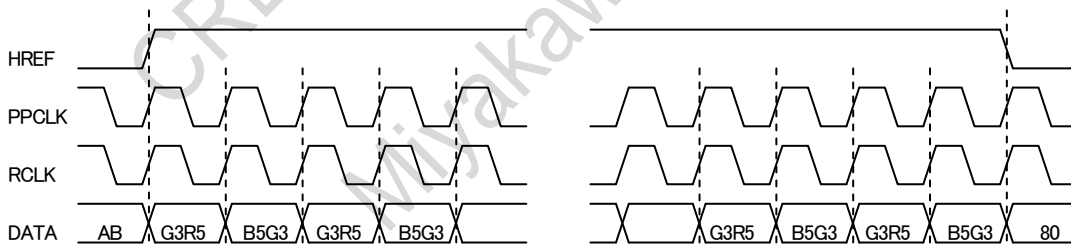
When format is 31(G3B5、R5B3 . . .)



When format is 32h(B5G3、G3R5)



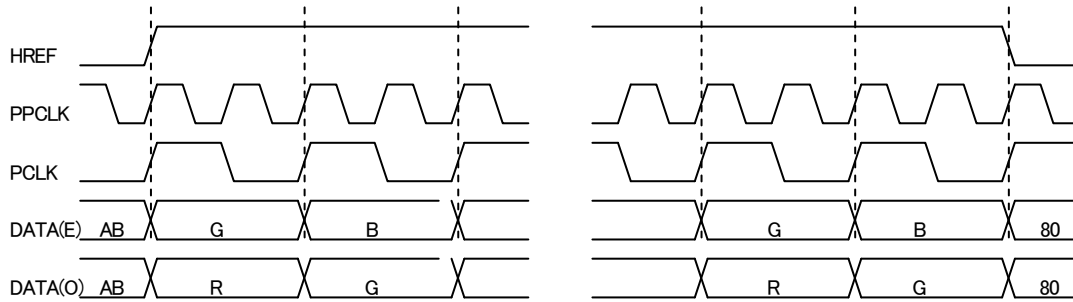
When format is 33h(G3R5、B5G3)



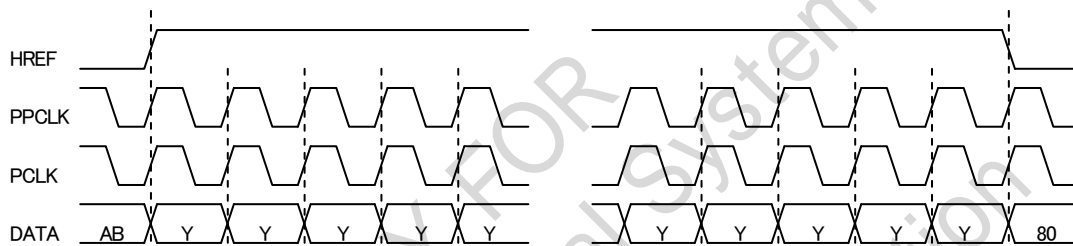
本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
 また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

Output timing diagrams for format register (4/4)

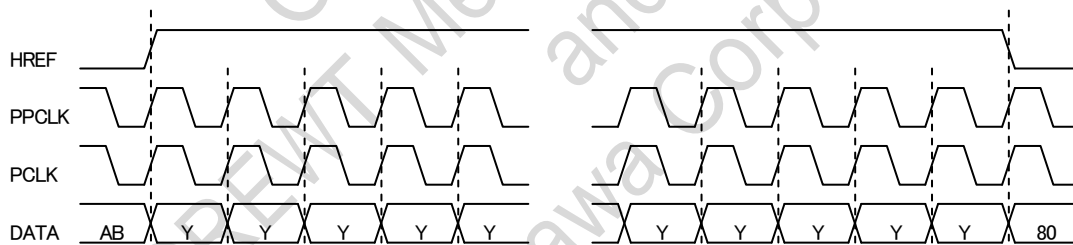
When format is 41h(DPC Bayer)



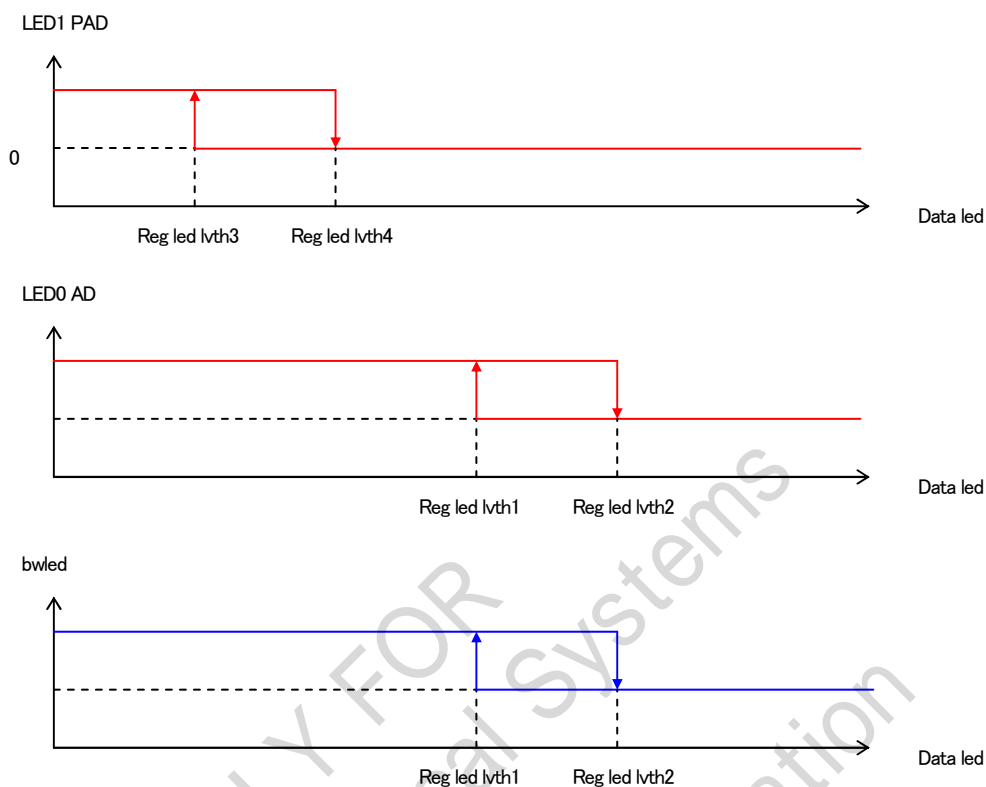
When format is 43h(form mono sensor)



When format is 44h(only Y)



本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
 また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。



data_led is analog to digital conversion data of ambient light sensor.

When bwled is 1b, output image is black & white.

When bwled is 0b, output image is normal.

本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
 また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

■Edge gain

Address	Register name	Default	type	Description
5E	Edge Gain	0x20	RW	Edge Enhancement Gain

■Color correction matrix

Address	Register name	Default	type	Description
62	CCR M11	0x45	RW	Color Correction Matrix Value
63	CCR M12	0xA0	RW	
64	CCR M13	0x85	RW	
65	CCR M21.	0x8F	RW	
66	CCR M22	0x45	RW	
67	CCR M23	0x96	RW	
68	CCR M31	0x84	RW	
69	CCR M32	0x94	RW	
6A	CCR M33	0x38	RW	

ONLY FOR
 CREWT Medical Systems
 and
 Miyakawa Corporation

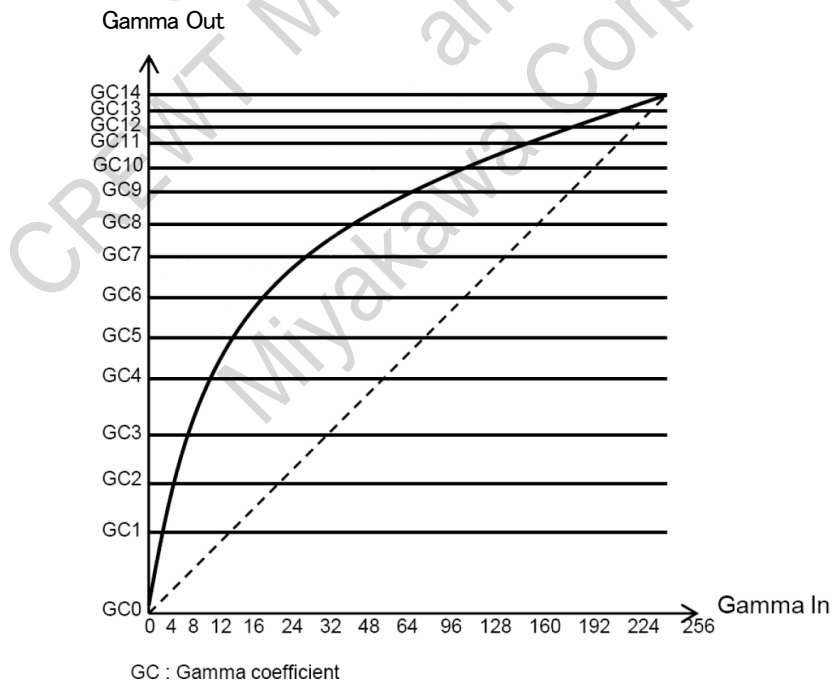
本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
 また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

■ Y gamma coefficient

Address	Register name	Default	type	Description
6D	YGM Y0	0x00	RW	Y Gamma Reference Registers
6E	YGM Y1	0x0B	RW	
6F	YGM Y2	0x17	RW	
70	YGM Y3	0x22	RW	
71	YGM Y4	0x2E	RW	
72	YGM Y5	0x40	RW	
73	YGM Y6	0x50	RW	
74	YGM Y7	0x6E	RW	
75	YGM Y8	0x88	RW	
76	YGM Y9	0xAE	RW	
77	YGM Y10	0xCA	RW	
78	YGM Y11	0xDC	RW	
79	YGM Y12	0xEC	RW	
7A	YGM Y13	0xF6	RW	
7B	YGM Y14	0xFF	RW	

Y gamma coefficient

Y Gamma Correction is applied to luminance signal which ranges from 0 to 255 to compensate non-linear characteristics of display brightness vs input brightness. In many cases, power function of 0.45 is used as gamma function for CRT display.



本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
 また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

■RGB gamma coefficient

Address	Register name	Default	type	Description
7E	CBM Y 0	0x00	RW	RGB Gamma Reference Registers
7F	CBM Y 1	0x0B	RW	
80	CBM Y 2	0x17	RW	
81	CBM Y 3	0x22	RW	
82	CBM Y 4	0x2E	RW	
83	CBM Y 5	0x40	RW	
84	CBM Y 6	0x50	RW	
85	CBM Y 7	0x6E	RW	
86	CBM Y 8	0x88	RW	
87	CBM Y 9	0xAE	RW	
88	CBM Y 10	0xCA	RW	
89	CBM Y 11	0xDC	RW	
8A	CBM Y 12	0xED	RW	
8B	CBM Y 13	0xF6	RW	
8C	CBM Y 14	0xFF	RW	

RGB gamma coefficient

RGB Gamma Correction is applied to chrominance signal which ranges from 0 to 255 to compensate non-linear characteristics of display color vs input color.

■Sketch offset

Address	Register name	Default	type	Description
8F	Sketch Offset	0x8C	RW	Sketch Offset

■Scale control

Address	Register name	Default	type	Description
93	Scale X	0x20	RW	Scale Control
94	Scale Y	0x20	RW	

Scale control

scale_x: Horizontal scale factor, 20h = x1

scale_y: Vertical scale factor, 20h = x1

■Y contrast & brightness

Address	Register name	Default	type	Description
9D	Y Contrast	0x40	RW	Y Contrast
9E	Y Brightness	0x00	RW	Y Brightness

Y contrast & brightness

Luminance (Y) = Conversion Y x reg_y_contrast + reg_y_brightness

Brightness = [7] : [6:0] = Sign : Magnitude

本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
 また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

■ CCIR656 control

Address	Register name	Default	type	Description
AF	Sync CcirFF	0xFF	RW	CCIR656 Control
B0	Sync Ccir00	0x00	RW	
B1	Sync Ccir80	0x80	RW	
B2	Sync Ccir10	0x10	RW	
B3	Sync Blank SAV	0xB6	RW	
B4	Sync Blank EAV	0x9D	RW	
B5	Sync Active SAV	0xAB	RW	
B6	Sync Active EAV	0x80	RW	

sync_ccirFF
 CCIR data format FFh

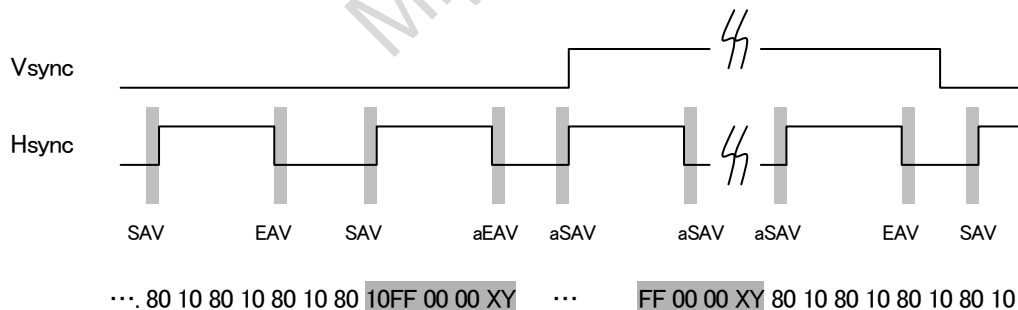
sync_ccir00
 CCIR data format 00h

sync_ccir80
 CCIR data format 80h

sync_ccir10
 CCIR data format 10h

ccir656 sync index value
 EAV and SAV signals are inserted for synchronization purposes.

Address	Name	Description
B3h	Blank SAV	Blank Range Start of Video
B4h	BlankEAV	Blank Range End of Video
B5h	ActiveSAV	Active Range Start of Video
B6h	ActiveEAV	Active Range End of Video



EAV:blank EAV SAV:blank SAV aE:AVActive EAV aSAV:Active SAV

本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
 また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

 ■ Sync control 1

Address	Register name	Default	type	Description
B8	Sync control 1	0x00	RW	Sync Control

Register	bit	Name	Default	Description
0xB8	7	×	0	Reserved
	6	Sync Vsync Polarity	0	Vsync Polarity Change
	5	Sync Hsync All Lines	0	Hsync Output All Lines Enable(Black and Active)
	4	Sync Hsync Polarity	0	Hsync Polarity Change
	3	Sync pclkwindow	0	Pclk Window
	2	Sync Pclk Polarity	0	Pclk Polarity Change
	1	×	0	Reserved
	0	×	0	Reserved

ONLY FOR
 CREWT Medical Systems
 and
 Miyakawa Corporation

本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
 また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

■ Sync control 1

Address	Register name	Default	type	Description
E6	Flicker Control 1	0x00	RW	Flicker Control

Register	bit	Name	Default	Description
0xE6	7	×	0	Reserved
	6	fd en	0	Flicker Enable
	5	×	0	Reserved
	4	×	0	Reserved
	3	manula A	0	Manual A
	2	manula B	0	Maunal B
	1	×	0	Reserved
	0	×	0	Reserved

■ Flicker control registers

Address	Register name	Default	type	Description
F0	Fd Period A H	0x00	RW	Flicker Period for state A
F1	Fd Period A M	0x83	RW	
F2	Fd Period A L	0x45	RW	
F3	Fd Period B H	0x00	RW	Flicker Period state B
F4	Fd Period B M	0x9D	RW	
F5	Fd Period B L	0x86	RW	
F6	Fd Period C H	0x03	RW	Flicker Period for 1/20 sec
F7	Fd Period C M	0x13	RW	
F8	Fd fheight A H	0x02	RW	Frame Height for flicker State A
F9	Fd Fheight A L	0x0C	RW	
FA	Fd fheight B H	0x02	RW	Frame Height for flicker State B
FB	Fd fheight b L	0x32	RW	

本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
 また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

(04) AUTO control

Address	Register name	Default	type	Description
04	Auto Control 1	0x98	RW	Auto Control Registers
05	Auto Control 2	0x05	RW	

Auto control 1

Register	bit	Name	Default	Description
0x04	7	×	1	Reserved
	6	×	0	Reserved
	5	×	0	Reserved
	4	×	1	Reserved
	3	×	1	Reserved
	2	AWB mode	0	1:Manual mode 0:Auto mode
	1	AE mode	0	00:Auto Exposure mode 01:Manual Exposure mode 1 (exposure writing mode)
	0			10:Manual Exposure mode 2 (external mode) 11:Manual Exposure mode 3 (direct writing mode)

Auto control 2

Register	bit	Name	Default	Description
0x05	7	×	0	Reserved
	6	LG/CS fitting	0	1:LG&CS auto fitting Enable 0:Disable
	5	×	0	Reserved
	4	×	0	Reserved
	3	×	1	Reserved
	2	digital gain mode	1	1:Auto digital gain calculation mode 0:manual digital gain mode
	1	×	0	Reserved
	0	×	1	Reserved

LG/CS fitting (bit6)

LG/CS fitting (bit6) is enable bit for lens gain and CS matrix auto fitting function.

If disable this function, user can control CS matrix (Reg.C-9Eh~A1h) and Lens gain(Reg.B-40~43h) directly.

digitalgain mode (bit2)

digitalgain mode (bit2) is selection bit for digitalgain mode. When auto_control_2[2] is 1b, digitalgain (Reg. A-1Bh) is calculated by auto exposure block. When auto_control_2[2] is 0b, you can write digitalgain (Reg. A-1Bh) by using I2C. digitalgain mode is operated only auto exposure mode (auto_control_1[1:0] = 00b).

本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
 また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

■ Manual integration time for external AE mode

Address	Register name	Default	type	Description
0D	Ext Inttime H	0x00	RW	Manual Integration Time For External AE Mode
0E	Ext Inttime M	0x80	RW	
0F	Ext Inttime L	0x00	RW	

ext_inttime

When auto_control_1[1:0] (Reg. C-04h) is 10b, you can control integration time by writing external integration time registers. (ext_inttime_h & ext_inttime_m) is line of external integration time. ext_inttime_l is column of external integration time.

Set auto_control_1[1:0] to 10b, before writing external integration time.

■ Manual lineargain for external AE mode

Address	Register name	Default	type	Description
10	Ext glbg H	0x01	RW	Manual Lineargain for External AE Mode
11	Ext glbg L	0x00	RW	

ext_glb

When auto_control_1[1:0] (Reg. C-04h) is 10b, you can control globalgain by writing external linear globalgain registers. Globalgain is calculated by external linear globalgain and reference gain (Reg. A-1Dh~21h) in manual exposure mode2. Set auto_control_1[1:0] to 10b, before writing external integration time. For more information, refer to reference gain (Reg. A-1Dh~21h).

■ Exposure

本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
 また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

Address	Register name	Default	type	Description
12	Exposure T	0x00	RW	Exposure Registers
13	Exposure H	0x00	RW	
14	Exposure M	0x80	RW	
15	Exposure L	0x00	RW	

exposure

When auto_control_1[1:0] (Reg. C-04h) is 00b, exposure registers are calculated by auto exposure block. Exposure registers are used in calculating integration time, globalgain and digital gain.

When auto_control_1[1:0] is 01b, you can write exposure registers. Set auto_control_1[1:0] to 01b, before writing exposure registers.

For more information, refer to auto exposure reference registers (Reg. C-16h~24h).

ONLY FOR
CREWT Medical Systems
and
Miyakawa Corporation

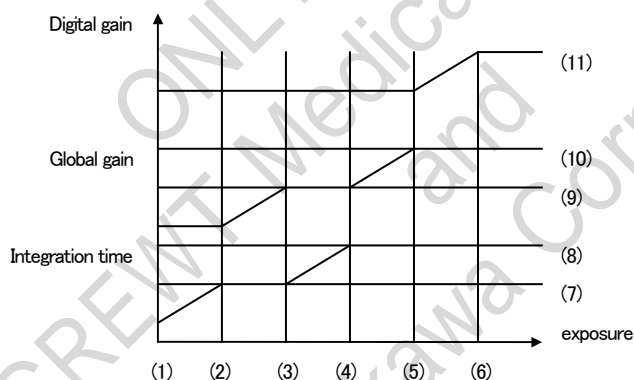
■AE reference registers

本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

Address	Register name	Default	type	Description
16	Exp FrmH H	0x02	RW	Exposure Frame Height
17	Exp FrmH L	0x0C	RW	
18	Midfrm Height H	0x04	RW	AE Reference Registers
19	Midfrm Height L	0x18	RW	
1A	Maxfrm Height H	0x08	RW	
1B	Maxfrm Height L	0x30	RW	
1C	Minexp H	0x00	RW	
1D	Minexp M	0x00	RW	
1E	Minexp L	0x0C	RW	
1F	Mid exp T	0x00	RW	
20	Midexp H	0x20	RW	
21	Midexp M	0xC0	RW	
23	maxexp H	0x41	RW	
24	Maxexp M	0x80	RW	

AE reference registers

When auto_control_1[1:0] is 00b or 01b, integration time, globalgain and digitalgain is calculated using exposure registers and auto exposure reference registers.



- (1) minimum exposure
- (2) frame height for exposure
- (3) mid frame height for exposure
- (4) max frame height for exposure
- (5) mid exposure
- (6) max exposure
- (7) mid integration time = (2)
- (8) max integration time = (4)/(9)
- (9) mid globalgain = (3)/(2)
- (10) max globalgain = (5)/(8)
- (11) max digital gain = (6)/{(10)*(8)}

■AE weight

本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
 また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

Address	Register name	Default	type	Description
30	AE Weight C	0x0C	RW	AE Conter Weight
31	AE Weight P	0x34	RW	AE Peripheral Weight

ae_weight_c & ae_weight_p

ae_weight_c is AE center weight for back light compensation. ae_weight_p is AE peripheral weight for back light compensation. Y mean is calculated by below formulas.

$$YMC = \frac{SC}{NC} \qquad YMP = \frac{SP}{NP}$$

Where,

YMC is Y mean in AE center window.

SC is summation of Y data in AE center window.

NC is number of pixel in AE center window.

YMP is Y mean in AE peripheral window.

SP is summation of Y data in AE peripheral window.

NP is number of pixel in AE peripheral window.

$$Y_{mean} = \frac{YMC \times AE_Weight_C + YMP \times AE_Weight_P}{AE_Weight_C + AE_Weight_P}$$

Y mean calculated by upper formulas is used in y mean extension function.

ae_weight_c and awb_weight_p should be,

$$ae_weight_c + awb_weight_p = 64d$$

■Min/Max Y target reference

本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
 また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

Address	Register name	Default	type	Description
3A	Max yt1	0x70	RW	Min/Max Ytarget Reference
3C	Min yt1	0x70	RW	

■AE speed

Address	Register name	Default	type	Description
48	AE Up Speed	0x08	RW	AE Upside Speed
49	AE Down Speed	0x0C	RW	AE Downside Speed

ae_up_speed & ae_down_speed

ae_up_speed is auto exposure upside speed. ae_down_speed is auto exposure downside speed. Setting range of both register is 01h to 10h. If ae_up_speed and ae_down_speed have high value, auto exposure speed will be faster. However, high ae_up_speed and ae_down_speed value may cause AE oscillation.

■AE lock range

Address	Register name	Default	type	Description
4A	AE Lock	0x02	RW	AE Lock Range

ae_lock

ae_lock control auto exposure lock range (margin between brightness mean of image and target brightness). Setting range of ae_lock is 00h to FFh. If ae_lock has low value, auto exposure lock range will be smaller. However, small value of ae_lock may cause AE oscillation.

■rg/bg ratio

本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
 また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

Address	Register name	Default	type	Description
75	AWB Rratio	0x80	RW	rg/bg Ratio (AWB Target)
76	AWB Bratio	0x80	RW	

■AWB lock range & speed

Address	Register name	Default	type	Description
78	AWB Lock	0x02	RW	AWB Lock Range
79	AWB Speed	0x08	RW	AWB Speed

awb_lock

awb_lock is control register for auto white balance lock range (margin between current R, B gain and target R, B gain). Setting range of awb_lock is 00h to FFh. If awb_lock has low value, auto white balance lock range will be smaller. However, small awb_lock value may cause AWB oscillation.

awb_speed

awb_speed is auto white balance speed. Setting range of awb_speed is 01h to 10h. If awb_speed has high value, auto white balance speed will be faster. However, high awb_speed value may cause AWB oscillation

■AWB gain min/max clamping reference

本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
 また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

Address	Register name	Default	type	Description
7B	AWB Rgain Min 1	0x00	RW	AWB Min/Max Clamping Reference
7C	AWB Rgain Min 2	0x00	RW	
7D	AWB Rgain Max 1	0xFF	RW	
7E	AWB Rgain Max 2	0xFF	RW	
7F	AWB Bgain Min 1	0x00	RW	
80	AWB Bgain Min 2	0x00	RW	
81	AWB Bgain Max 1	0xFF	RW	
82	AWB Bgain Max 2	0xFF	RW	
83	AWB Cmp th1 H	0x02	RW	
84	AWB Cmp th1 L	0x03	RW	
85	AWB Cmp th2 H	0x04	RW	
86	AWB Cmp th2 L	0x06	RW	

AWB gain min/max clamping reference

This product provides AWB gain clamping function by exposure. Below diagram shows method of AWB gain clamping function.

AWB R gain min/max clamping reference registers should be,

00h < awb_rgain_min1 < awb_rgain_max1 < FFh

00h < awb_rgain_min2 < awb_rgain_max2 < FFh

minexp < awb_cmp_th1 < awb_cmp_th2 < maxexp

Where, minexp is register value. (Reg. C-1Ch~1Eh). maxexp is register value. (Reg. C-22h~24h)

AWB B gain clamping function is equal to AWB R gain clamping function.

awb_rgain_min/max1 should be use fitting out door AWB condition.

■user_cs & CS matrix

本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
 また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

Address	Register name	Default	type	Description
9D	User cs	0x20	RW	User cs gain
9E	cs11	0x25	RW	cs Matrix
9F	cs12	0x00	RW	
A0	cs21	0x00	RW	
A1	cs22	0x25	RW	

ONLY FOR
CREWT Medical Systems
and
Miyakawa Corporation

Electrical Characteristics

本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

Absolute Maximum Ratings *

HVDD,AVDD Supply Voltage : -0.3V to 4.5V

DVDD Supply Voltage : -0.3V to 2.5V

DC Voltage at any input pin : -0.3V to HVDD+0.3V

DC Voltage at any output pin : -0.3V to HVDD+0.3V

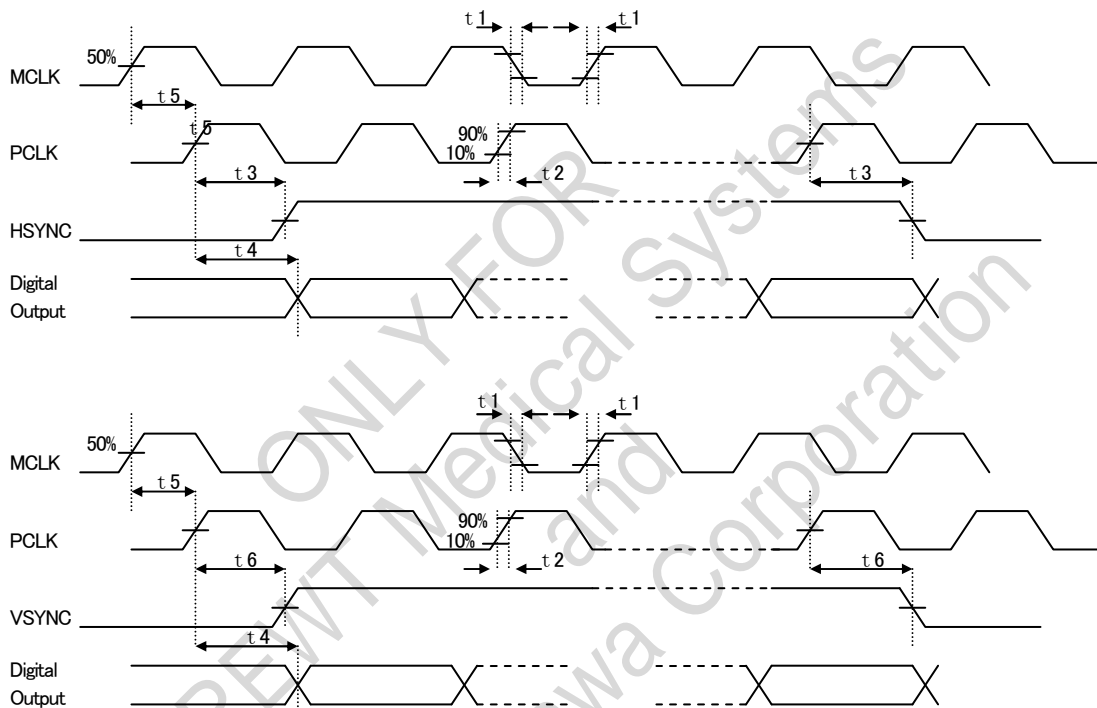
DC Characteristics

Symbol	Descriptions	Min	Typ	Max	Unit
VDDD	Digital VDD voltage relative to GND level	1.425	1.8	1.89	V
VDDA	Analog voltage relative to GND level	2.66	2.8	2.94	V
HVDD	High VDD voltage relative to GND level HVDD must be higher than or equal to DVDD	2.66	2.8	2.94	V
IDDD	DVDD=1.8V		7.8		mA
	AVDD=2.8V		16.5		mA
	HVDD=2.8V		4		mA
IDDS	Standby supply current DVDD=1.8V,AVDD=2.8V,HVDD=2.8V		4.3		μA
VIL1	Input voltage Low level			0.2*HVDD	V
VIH1	Input voltage High level	0.8*HVDD			V
VIL2	Input voltage Low level for rClk , rData			0.2*HVDD	V
VIH2	Input voltage High level for rClk , rData	0.8*HVDD			V
CIN	Input pin capacitance			10	pF
VOL1	Output Voltage Low			0.1*HVDD	V
VOH1	Output Voltage High	0.9*HVDD			V
VOH2	Output Voltage Low level for rClk , rData			0.2	V
VOL2	Output Voltage High level form rData	HVDD-0.2			V
IIN	Input leakage current		0.005	1	μA
IOT	Output leakage current		0.005	1	μA

AC Characteristics (In case of HVDD=2.8V)

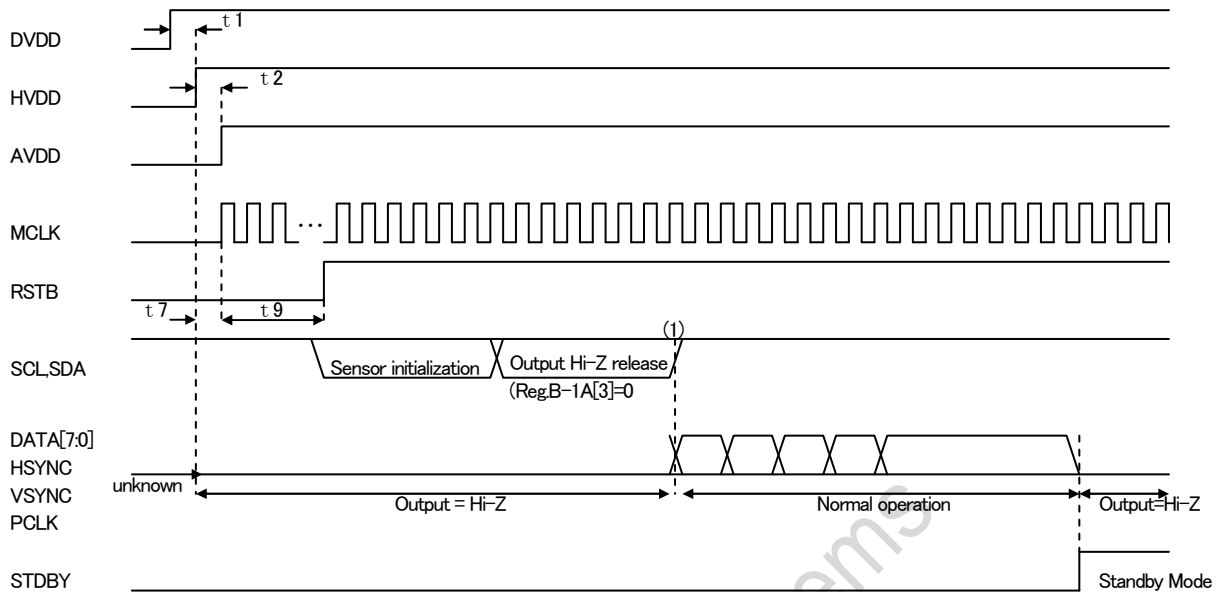
本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
 また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

Symbol	Descriptions	Min	Typ	Max	Unit
fMCLK	Master clock Frequency		27		MHz
duty	Master clock duty cycle		50		%
t1	Master clock rise/fall time		6.5		ns
t2	PCLK rise*fall time		6		ns
t3	PCLK rising edge to HSYNC		17.6		ns
t4	PCLK rising edge to digital output		17.6		ns
t5	MCKL rising edge to PCLK rising edge		12.8		ns
t6	PCLK rising edge to VSYNC		18		ns



Power-On Sequence

本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
 また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

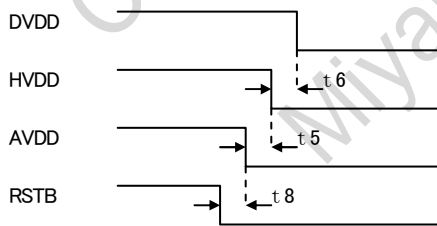


- (1) Output state is Hi-Z in default. To release output Hi-Z state, set Reg.A-59h[6] to „0”
- (2) To make output Hi-Z state in power-down mode, set Reg.A-59h[7] to „1” before starting power-down mode

Power-On Register

Address	Register Value
03	0x00
59	0x00
5E	0x18
60	0x40
63	0x02

Power-Off Sequence



Symbol	Descriptions	Min	Typ	Max	Unit
t1	From DVDD rising to HVDD rising	0			ns
t2	From HVDD rising to AVDD rising	0			ns
t5	From AVDD falling to HVDD falling	0			ns
t6	From HVDD falling to DVDD falling	0			ns
t7	From HVDD rising to initial mclk rising	0			ns
t8	From RSTB falling to AVDD falling	0			ns
t9	Minimum reset time	8 × MCLK period			

取り扱い 注意事項

本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。
 また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。

本カメラモジュールは電子機器組み込み用に設計されたものです。ご使用にあたっては下記注意事項に十分に留意された安全設計を行ってください。

1) 動作温度

装置内部温度が動作温度を超えないようにして下さい。

2) CMOS 撮像素子の耐光性

太陽光などの強い光の下で長時間使用しないでください。オンチップカラーフィルターの劣化により、光学的特性に影響を及ぼすことがあります。事前に使用環境での確認試験と適切な保護対策をお願いします。

3) 取り付け方法

本カメラモジュールの構造は防塵防滴構造ではありません。機器へ取り付けの際には、遮光/ゴミの侵入防止にご留意下さい。

4) 静電対策

本カメラモジュールは半導体デバイスの静電破壊防止と同様の取り扱いをお願いします。

- ①作業台、作業領域内の床は導電性マットをひくなどして、静電気の発生させぬようにして下さい。
- ②作業者は帯電防止服やアース/バンド等を使用して下さい。
- ③使用する治具、箱、袋、等是非帯電のものを使用して下さい。
- ④取り扱い時にはイオナイザー等による除電をお願いします。

5) 機械的強度

本カメラモジュールは精密光学部品です。過度の機械的衝撃を与えないよう、取り扱いには十分留意して下さい。また、レンズの表面にゴミや汚れが付着しないよう配慮してください。

6) 分解、改造

分解や改造等の加工は行わないで下さい。分解や改造等の加工を行った場合には一切の保証はいたしません。

7) 安全規格

本カメラモジュールは半完製品であり、安全規格の保証は行っておりません。完成品にて安全規格を取得していただきますようお願いいたします。

8) 安全設計

当社は品質、信頼性の向上に努めておりますが、一般的に半導体製品は誤動作したり故障したりすることがあります。本カメラモジュールをご使用いただく場合、カメラモジュールの誤動作や故障により、生命・人体・財産が侵害されることの無いように、購入者側の責任において、機器の安全設計を行うことをお願いします。

9) 特定用途への使用

本カメラモジュールは一般電子機器(コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電製品等)に使用されることを意図しています。

特別に高い品質・信頼性が要求され、その故障や誤動作が直接人命を脅かしたり、人体に危害を及ぼす恐れのある機器(原子力制御装置、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置)に使用すること(以下、特定用途という)は意図しておらず、また保証もしておりません。本カメラモジュールを当該特定用途に使用する場合は、貴社の責任においてご使用いただくようお願いいたします。

10) 耐放射線設計

耐放射線設計はなされていません。

12) 法令および規則

本カメラモジュールを国内の法令・規則および命令により製造・販売を禁止されている応用製品に使用することは出来ません。

本資料に記載されています規格等は、改良ため予告なく変更することがありますのでご了承下さい。また、本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利にたいする保証を認めたものではありません。