|  |  |
| --- | --- |
| AN13553 | |
| Antioch™へのアドレス有効入力としてのプロセッサチップイネーブルの使用   |  | | --- | | 作者: Rukmini Sivaraman | | 関連プロジェクト：はい | | 関連パーツファミリ：West Bridge Antioch | | ソフトウェアバージョン：Antioch™SDK 1.3.2 | | 関連アプリケーションノート：なし | | |
| WestBridge®Antioch™は、プロセッサーインターフェース（Pポート）が非同期モードで動作する場合、アドレス有効（ADV#）信号を必要とします。メモリインターフェースにADV#信号（またはADV#信号のように動作するようにプログラムできる信号）がないプロセッサは、このアプリケーションノートの情報を使用して、プロセッサのチップイネーブル信号を両方に接続することにより、Antiochにインターフェースできます。 Antiochのチップイネーブル（CE#）信号とADV#信号。このアプローチにより、設計者は、タイミングがAntiochのADV#信号と互換性のあるADV#信号を持たない可能性のあるプロセッサでAntiochを使用できます。 |

はじめに

West Bridge Antiochデバイス（CYWB0124AB）は、高速USBおよび大容量ストレージアクセスをサポートするペリフェラルコントローラです。Antiochは、プロセッサインターフェースおよび高速USB（HS-USB）インターフェースからSD、MMC/MMC+、CE-ATA、NANDなどの周辺機器へのアクセスを提供します。プロセッサインターフェース、HS-USB、および周辺機器間のインターリーブアクセスをサポートしているため、外部プロセッサと外部USBホストが相互に、および大容量ストレージ周辺機器に同時にデータを転送できます。

Antiochのプロセッサインターフェース（Pポート）は、通常、システムの主要プロセッサ（たとえば、携帯電話システムのベースバンドプロセッサ）に接続されます。PポートインターフェースはSRAMインターフェースに似ており、非同期モードと同期モードの両方で動作できます。このアプリケーションノートでは、ADV#信号が必要なPポートの非同期動作モードについて説明します。

提供されているエラッタドキュメントの条件が満たされている場合、ウェストブリッジアストリアはSRAMインターフェースをネイティブでサポートします。詳細については、WestBridge®Astoria™データシートおよびWestBridge®Astoria™エラッタドキュメントを参照してください。

# ADV#信号の使用

Antiochにはいくつかの内部エンドポイントバッファがあり、PポートのSRAMのようなインターフェースを介してアクセスされます。これらの内部エンドポイントバッファはFIFOとして構成されます。DMAアクセス中、アクセスされるエンドポイントバッファのアドレスは、Pポートのアドレスバス上で維持され、Antioch内のFIFOポインターを前進させるために必要な別の信号を備えています。同期モード動作では、CLK信号を使用して、エンドポイントアクセス中にAntiochでエンドポイントFIFOポインターを進めます。非同期モード動作では、CLKは永続的にLOWに固定されます。エンドポイントアクセス中にAntioch内でエンドポイントFIFOポインターを進めるには、ADV#信号の切り替えが必要です。エンドポイントアドレスは、ADV#信号の立ち上がりエッジでラッチされます。ADV#がLOWの場合、ラッチは透過的です。ADV#の立ち上がりエッジは、アクセスされる内部エンドポイントバッファのFIFOポインターもインクリメントします。

ADV#信号またはタイミングがADV#信号のように動作するようにプログラムできるその他の信号を持たないプロセッサも、非同期モードでAntiochのPポートに接続できます。このような場合、プロセッサのチップイネーブル（CE#）信号は、AntiochのCE#に接続されるだけでなく、AntiochのADV#信号にも接続できます。図1は、プロセッサのCE#とAntiochのCE#およびADV#信号の単純な接続を示しています。

図1. 相互接続図

**Processor**

CE#

…

…

**Antioch**

CE#

ADV#

…

# タイミング

プロセッサのCE#信号をAntiochでADV#信号として使用する場合は、CE#をトグルする必要があります。つまり、16ビットのデータの読み取りまたは書き込み操作ごとに新しいCE#アクセスサイクルを使用する必要があります。CE#がずっとアサートされたままで、アクセスごとにADV#がトグルされる「バースト」タイプのアクセスは、このシナリオでは有効な動作モードではありません。非同期シングルアクセスの読み取りまたは書き込みに指定されたタイミングパラメータは、ADV#に接続されたCE#でAntiochを使用するときに適用されます。ADV#、つまりCE#はサイクルごとにトグルする必要があるため、「バースト」タイプのアクセスは無効ですが、DRQステータスレジスタとDRQマスクレジスタは、どのエンドポイントが転送の準備ができているかを示すために引き続き使用されます。

表1で説明されているものを除くすべてのタイミングパラメータは、West Bridge：Antioch USB/Mass Storage Peripheral Controllerデータシートにある通りになります。それらは便宜上表2に掲載されています。表1に示す値は、このモードでAntiochを操作するときに重要な2つのパラメータの緩和された値を示しています。これらの緩和されたタイミングパラメータを利用するには、次の予防策を講じてください。特定のエンドポイントバッファへのアクセスは、別のエンドポイントバッファまたはレジスタを優先してアドレスを変更する前に完了する必要があります。アクセスサイクルタイムを60 nsに制限します。

特定のプロセッサとのインターフェースのスループットと最適化、および詳細については、サイプレスの営業担当者にお問い合わせください。

表1. タイミングパラメータ

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 項目 | 説明 | 最小または最大 | 値 | 単位 |
| tVPH | ADV#HIGH時間 | 最大 | 12 | ns |
| tAVH | ADV#HIGHからのアドレスホールド | 最大 | 0 | ns |
| tVPH | ADV#HIGH時間 | 最大 | 12 | ns |
| tAVH Antioch | ADV#HIGHからのアドレスホールド | 最大 | 0 | ns |
| tAVH Astoria\* | ADV#HIGHからのアドレスホールド | 最大 | 2 | ns |

\* Antiochとは異なり、AstoriaはホールドタイムtAVHに従う必要があります。

表2. 非同期モードのタイミングパラメータ

| 項目 | 説明 | 最大 | 最大値 | 単位 |
| --- | --- | --- | --- | --- |
| **タイミングパラメータの読み取り** | | | | |
|  | インターフェース帯域幅（MBPS） |  | 66.7 | MBps |
| tAA | アドレスからデータ有効までの時間 | – | 30 | ns |
| tOH | アドレス変更からデータ出力ホールド | 3 | – | ns |
| tEA | チップイネーブルからデータ有効になるまでの時間 | – | 30 | ns |
| tAADV | ADV#からデータの有効なアクセス時間 | – | 30 | ns |
| tAVS | アドレスの有効からADV#HIGH | 5 | – | ns |
| tAVH | ADV#HIGHからアドレスホールド | 2 | – | ns |
| tCVS | CE#LOWからADV#HIGHまでセットアップタイム | 5 | – | ns |
| tVPH | ADV#HIGH時間 | 15 | – | ns |
| tVP | ADV#のLOWパルス幅 | 7.5 | – | ns |
| tOE | OE#LOWからデータの有効 | – | 22.5 | ns |
| tOLZ | OE#LOWからLow Z | 3 | – | ns |
| tOHZ | OE#HIGHからHigh Z | 0 | 22.5 | ns |
| tLZ | CE#LOWからLow Z | 3 | – | ns |
| tHZ | CE#HIGHからHigh Z | – | 22.5 | ns |
| **タイミングパラメータの書き込み** | | | | |
| tCW | CE#LOWから書き込み終了 | 30 | – | ns |
| tAW | アドレスの有効から書き込み終了 | 30 | – | ns |
| tAS | 書き込み開始までのアドレス セットアップ | 0 | – | ns |
| tADVS | 書き込み開始までのADV#セットアップ | 0 | – | ns |
| tWP | WE#パルス幅 | 22 | – | ns |
| tWPH | WE#HIGH時間 | 10 | – | ns |
| tCPH | CE#HIGH時間 | 10 | – | ns |
| tAVS | アドレスの有効からADV#HIGH | 5 | – | ns |
| tAVH | ADV#HIGHからアドレスホールド | 2 | – | ns |
| tCVS | CE#LOWからADV#HIGHまでのセットアップ時間 | 5 | – | ns |
| tVPH | ADV#HIGH時間 | 15 | – | ns |
| tVP | ADV#LOWパルス幅 | 7.5 | – | ns |
| tVS | ADV#LOWから書き込みの終わりまで | 30 | – | ns |
| tDW | 書き込み終了までのデータ セットアップ時間 | 18 | – | ns |
| tDH | 書き込み終了からのデータホールド | 0 | – | ns |
| tWHZ | 書き込みからDQ High Z出力 | – | 22.5 | ns |
| tOW | 書き込みの終わりからLow Z出力 | 3 | – | ns |

# 追加のドキュメント

* [WestBridge](http://www.cypress.com/?docID=18513)[®](http://www.cypress.com/?docID=18513)[Antioch™Advanceデータシート](http://www.cypress.com/?docID=18513)
* [WestBridge](http://www.cypress.com/?docID=18753)[®](http://www.cypress.com/?docID=18753)[Astoria™Advanceデータシート](http://www.cypress.com/?docID=18753)
* [WestBridge®Astoria™のエラッタドキュメント](http://www.cypress.com/?docID=23774)

まとめ

Antiochは、プロセッサからのチップセレクトまたはチップイネーブル信号を使用してAntioch上のCE#信号とADV#信号の両方を制御することで必要なタイミングに準拠するADV#信号を持たないプロセッサと効果的に相互接続できます。

改訂履歴

ドキュメントタイトル: AN13553 - Using Processor Chip Enable as Address Valid Input to Antioch™

ドキュメント番号: 001-13553

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 版 | Engineering Change Notification (技術変更届) | 変更者 | 発行日 | 変更内容 |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |