

**＜＜★Power MOSFET Basics＞＞パワーMOSFETの基本**

**＜＜★By Vrej Barkhordarian, International Rectifier, El Segundo, Ca.＞＞Vrej Barkhordarian、International Rectifier、El Segundo、CA。**

|  |  |
| --- | --- |
| ＜＜★Breakdown Voltage＞＞降伏電圧 | 5 |
| ＜＜★On-resistance＞＞オンレジスタンス | 6 |
| ＜＜★Transconductance＞＞相互コンダクタンス | 6 |
| ＜＜★Threshold Voltage＞＞しきい電圧 | 7 |
| ＜＜★Diode Forward Voltage＞＞ダイオード順方向電圧 | 7 |
| 電力消費 | 7 |
| ＜＜★Dynamic Characteristics＞＞動的特性 | 8 |
| ＜＜★Gate Charge＞＞ゲートチャージ | 10 |
| ＜＜★dV/dt Capability＞＞dV / dt機能 | 11 |

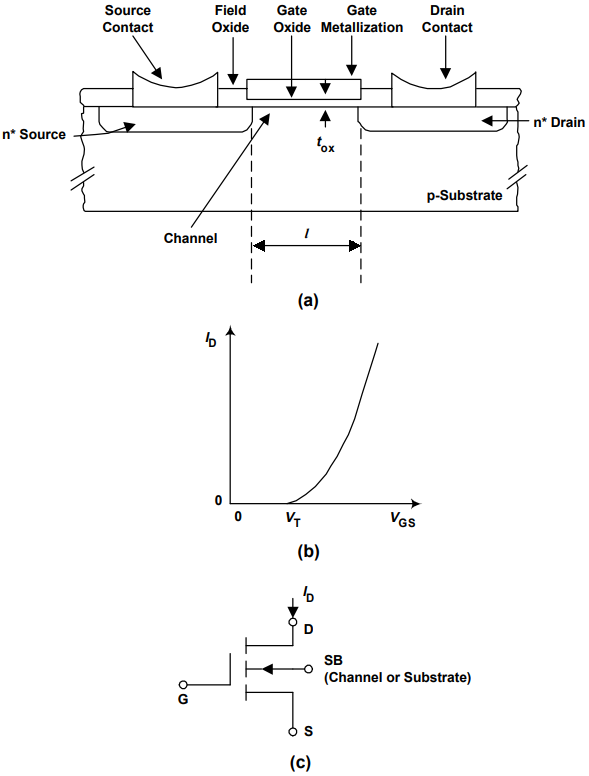
[www.irf.com](http://www.irf.com)

**Power MOSFET Basics**

**Vrej Barkhordarian, International Rectifier, El Segundo, Ca.**

＜＜★Discrete power MOSFETs employ semiconductor processing techniques that are similar to those of today's VLSI circuits, although the device geometry, voltage and current levels are significantly different from the design used in VLSI devices.＞＞ディスクリートパワーMOSFETは、今日のVLSI回路と同様の半導体処理技術を採用していますが、デバイスの形状、電圧、および電流レベルは、VLSIデバイスで使用される設計とは大幅に異なります。＜＜★The metal oxide semiconductor field effect transistor (MOSFET) is based on the original field-effect transistor introduced in the 70s.＞＞金属酸化物半導体電界効果トランジスタ（MOSFET）は、70年代に導入された元の電界効果トランジスタに基づいています。＜＜★Figure 1 shows the device schematic, transfer characteristics and device symbol for a MOSFET.＞＞図1に、MOSFETのデバイスの概略図、伝達特性、およびデバイス記号を示します。＜＜★The invention of the power MOSFET was partly driven by the limitations of bipolar power junction transistors (BJTs) which, until recently, was the device of choice in power electronics applications.＞＞パワーMOSFETの発明は、最近までパワーエレクトロニクスアプリケーションで選択されていたデバイスであるバイポーラパワージャンクショントランジスタ（BJT）の制限によって部分的に推進されました。

＜＜★Although it is not possible to define absolutely the operating boundaries of a power device, we will loosely refer to the power device as any device that can switch at least 1A.＞＞パワーデバイスの動作境界を完全に定義することはできませんが、パワーデバイスを少なくとも1Aを切り替えることができるデバイスと大まかに呼びます。＜＜★The bipolar power transistor is a current controlled device.＞＞バイポーラパワートランジスタは電流制御デバイスです。＜＜★［5］A large base drive current as high as one-fifth of the collector current is required to keep the device in the ON state.＞＞デバイスをオン状態に保つには、コレクタ電流の5分の1もの大きなベース駆動電流が必要です。



**Figure 1.** Power MOSFET (a) Schematic, (b) Transfer Characteristics, (c)

Also, higher reverse base drive Device Symbol.

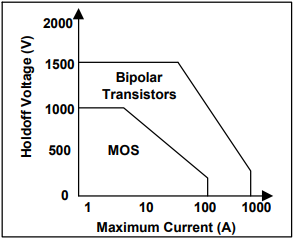
currents are required to obtain

fast turn-off. Despite the very advanced state of manufacturability and lower costs of BJTs, these

limitations have made the base drive circuit design more complicated and hence more expensive than the

power MOSFET.

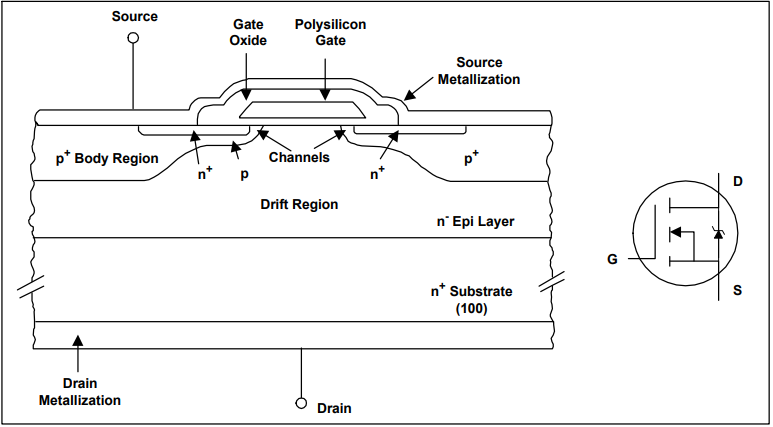
＜＜★［1］Another BJT limitation is that both electrons and holes contribute to conduction.＞＞もう1つのBJTの制限は、電子と正孔の両方が伝導に寄与することです。＜＜★Presence of holes with their higher carrier lifetime causes the switching speed to be several orders of magnitude slower than for a power MOSFET of similar size and voltage rating.＞＞キャリア寿命が長いホールが存在すると、同様のサイズと電圧定格のパワーMOSFETよりもスイッチング速度が数桁遅くなります。＜＜★Also, BJTs suffer from thermal runaway.＞＞また、BJTは熱暴走に悩まされています。＜＜★Their forward voltage drop decreases with increasing temperature causing diversion of current to a single device when several devices are paralleled.＞＞それらの順方向電圧降下は、温度の上昇とともに減少し、複数のデバイスが並列接続されている場合、単一のデバイスへの電流の迂回を引き起こします。＜＜★Power MOSFETs, on the other hand, are majority carrier devices with no minority carrier injection.＞＞一方、パワーMOSFETは、少数キャリア注入のない多数キャリアデバイスです。＜＜★They are superior to the BJTs in high frequency applications where switching power losses are important.＞＞これらは、スイッチング電力損失が重要な高周波アプリケーションでBJTよりも優れています。＜＜★［2］Plus, they can withstand simultaneous application of high current and voltage without undergoing destructive failure due to second breakdown.＞＞さらに、2回目の故障による破壊的な故障を起こすことなく、高電流と高電圧の同時印加に耐えることができます。＜＜★［1］Power MOSFETs can also be paralleled easily because the forward voltage drop increases with increasing temperature, ensuring an even distribution of current among all components.＞＞パワーMOSFETは、温度の上昇とともに順方向電圧降下が増加するため、簡単に並列化することもでき、すべてのコンポーネント間で電流が均等に分配されます。



**Figure 2**. Current-Voltage   
Limitations of MOSFETs and BJTs.

＜＜★However, at high breakdown voltages (>200V) the on-state voltage drop of the power MOSFET becomes higher than that of a similar size bipolar device with similar voltage rating.＞＞ただし、高いブレークダウン電圧（> 200V）では、パワーMOSFETのオン状態の電圧降下は、同様の電圧定格を持つ同様のサイズのバイポーラデバイスの電圧降下よりも高くなります。＜＜★This makes it more attractive to use the bipolar power transistor at the expense of worse high frequency performance.＞＞これにより、高周波性能が低下する代わりに、バイポーラパワートランジスタを使用することがより魅力的になります。＜＜★Figure 2 shows the present current-voltage limitations of power MOSFETs and BJTs.＞＞図2は、パワーMOSFETとBJTの現在の電流-電圧制限を示しています。＜＜★Over time, new materials, structures and processing techniques are expected to raise these limits.＞＞時間の経過とともに、新しい材料、構造、および処理技術によってこれらの制限が引き上げられることが予想されます。

**＜＜★Figure 3.＞＞図3。＜＜★**Schematic Diagram for an n-Channel Power MOSFET and the Device.＞＞nチャネルパワーMOSFETとデバイスの回路図。



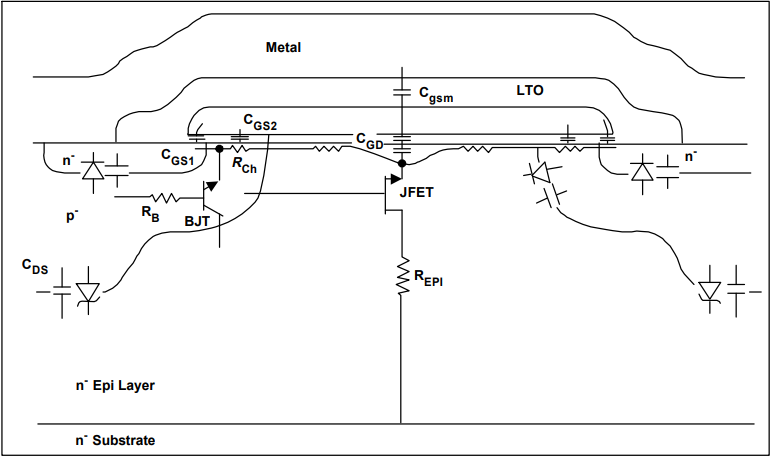
＜＜★［1］Figure 3 shows schematic diagram and Figure 4 shows the physical origin of the parasitic components in an n-channel power MOSFET.＞＞図3に回路図を示し、図4にnチャネルパワーMOSFETの寄生成分の物理的起源を示します。＜＜★［2］The parasitic JFET appearing between the two body implants restricts current flow when the depletion widths of the two adjacent body diodes extend into the drift region with increasing drain voltage.＞＞2つのボディインプラント間に現れる寄生JFETは、2つの隣接するボディダイオードの空乏幅がドレイン電圧の増加に伴ってドリフト領域に広がると、電流の流れを制限します。＜＜★The parasitic BJT can make the device susceptible to unwanted device turn-on and premature breakdown.＞＞寄生BJTは、デバイスを不要なデバイスのターンオンや早期故障の影響を受けやすくする可能性があります。＜＜★The base resistance RB must be minimized through careful design of the doping and distance under the source region.＞＞ベース抵抗RBは、ソース領域の下のドーピングと距離を注意深く設計することによって最小化する必要があります。＜＜★There are several parasitic capacitances associated with the power MOSFET as shown in Figure 3.＞＞図3に示すように、パワーMOSFETに関連するいくつかの寄生容量があります。

＜＜★CGS is the capacitance due to the overlap of the source and the channel regions by the polysilicon gate＞＞CGSは、ポリシリコンゲートによるソース領域とチャネル領域の重なりによる静電容量です。

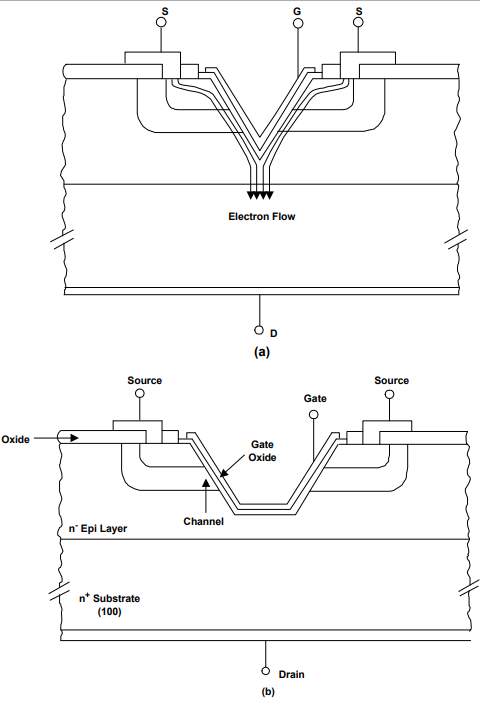
＜＜★and is independent of applied voltage.＞＞印加電圧に依存しません。＜＜★［1］CGD consists of two parts, the first is the capacitance associated with the overlap of the polysilicon gate and the silicon underneath in the JFET region.＞＞CGDは2つの部分で構成され、1つ目は、JFET領域でのポリシリコンゲートとその下のシリコンの重なりに関連する静電容量です。＜＜★［2］The second part is the capacitance associated with the depletion region immediately under the gate.＞＞2番目の部分は、ゲート直下の空乏領域に関連する静電容量です。＜＜★CGD is a nonlinear＞＞CGDは非線形です

＜＜★function of voltage.＞＞電圧の関数。＜＜★Finally, CDS, the capacitance associated with the body-drift diode, varies inversely with the square root of the drain-source bias.＞＞最後に、ボディドリフトダイオードに関連する静電容量であるCDSは、ドレイン-ソースバイアスの平方根に反比例して変化します。＜＜★There are currently two designs of power MOSFETs, usually referred to as the planar and the trench designs.＞＞現在、パワーMOSFETには2つの設計があり、通常はプレーナ設計とトレンチ設計と呼ばれます。＜＜★The planar design has already been introduced in the schematic of Figure 3.＞＞平面設計は、図3の回路図ですでに紹介されています。＜＜★Two variations of the trench power MOSFET are shown Figure 5.＞＞トレンチパワーMOSFETの2つのバリエーションを図5に示します。＜＜★The trench technology has the advantage of higher cell density but is more difficult to manufacture than the planar device.＞＞トレンチ技術には、セル密度が高いという利点がありますが、平面デバイスよりも製造が困難です。

**＜＜★Figure 4.＞＞図4。＜＜★［1］**Power MOSFET Parasitic Components.＞＞パワーMOSFET寄生部品。



***＜＜★BREAKDOWN VOLTAGE＞＞降伏電圧***



**Figure 5.** Trench MOSFET (a) Current Crowding in V-Groove Trench MOSFET,   
(b) Truncated V-Groove MOSFET

＜＜★Breakdown voltage,＞＞降伏電圧、

＜＜★BVDSS, is the voltage at which the reverse-biased body-drift diode breaks down and significant current starts to flow between the source and drain by the avalanche multiplication process, while the gate and source are shorted together.＞＞BVDSSは、ゲートとソースが一緒に短絡されている間に、逆バイアスされたボディドリフトダイオードが故障し、アバランシェ増倍プロセスによってソースとドレインの間に大きな電流が流れ始める電圧です。＜＜★Current-voltage characteristics of a＞＞の電流-電圧特性

＜＜★power MOSFET are shown in Figure 6.＞＞パワーMOSFETを図6に示します。＜＜★BVDSS is normally measured at 250 A drain current.＞＞BVDSSは通常、250Aのドレイン電流で測定されます。＜＜★For drain＞＞ドレン用

＜＜★voltages below BVDSS and with no bias on the gate, no channel is formed under the gate at the surface and the drain voltage is entirely supported by the reverse-biased body-drift p-n junction.＞＞BVDSS未満の電圧で、ゲートにバイアスがない場合、表面のゲートの下にチャネルは形成されず、ドレイン電圧は逆バイアスされたボディドリフトpn接合によって完全にサポートされます。＜＜★Two related phenomena can occur in poorly designed and processed devices: punch-through and reach-through.＞＞設計と処理が不十分なデバイスでは、パンチスルーとリーチスルーという2つの関連する現象が発生する可能性があります。＜＜★Punch-through is observed when the depletion region on the source side of the body-drift p-n junction reaches the source region at drain voltages below the rated avalanche voltage of the device.＞＞パンチスルーは、ボディドリフトpn接合のソース側の空乏領域が、デバイスの定格アバランシェ電圧よりも低いドレイン電圧でソース領域に到達したときに観察されます。＜＜★This provides a current path between source and drain and causes a soft breakdown characteristics as shown in Figure 7.＞＞これにより、ソースとドレインの間に電流経路が提供され、図7に示すようにソフトブレークダウン特性が発生します。＜＜★The leakage current flowing between＞＞間に流れる漏れ電流

＜＜★source and drain is denoted by IDSS.＞＞ソースとドレインはIDSSで示されます。＜＜★There are tradeoffs to be made between RDS(on) that requires shorter channel lengths and punch-through avoidance that requires longer channel lengths.＞＞より短いチャネル長を必要とするRDS（on）と、より長いチャネル長を必要とするパンチスルー回避の間には、トレードオフがあります。

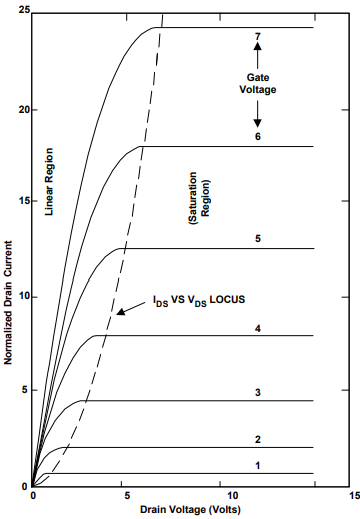
＜＜★The reach-through phenomenon occurs when the depletion region on the drift side of the body-drift p-n junction reaches the epilayer-substrate interface before avalanching takes place in the epi.＞＞リーチスルー現象は、ボディドリフトpn接合のドリフト側の空乏領域が、エピでなだれが発生する前にエピ層と基板の界面に到達したときに発生します。＜＜★Once the depletion edge enters the high carrier concentration substrate, a further increase in drain voltage will cause the electric field to quickly reach the critical value of 2x105 V/cm where avalanching begins.＞＞空乏エッジが高キャリア濃度の基板に入ると、ドレイン電圧がさらに上昇すると、電界が2x105 V / cmの臨界値にすばやく到達し、そこでなだれが始まります。

***＜＜★ON-RESISTANCE＞＞オンレジスタンス***

＜＜★［1］The on-state resistance of a power MOSFET is made up of several components as shown in Figure 8:＞＞パワーMOSFETのオン状態抵抗は、図8に示すようにいくつかのコンポーネントで構成されています。

RDS(on) = Rsource + Rch + RA + RJ + RD + Rsub +Rwcml (1)   
＜＜★where:＞＞どこ：

＜＜★Rsource = Source diffusion resistance＞＞Rsource =ソース拡散抵抗



**Figure 6.** Current-Voltage Characteristics of Power MOSFET

＜＜★Rch = Channel resistance＞＞Rch =チャネル抵抗

＜＜★RA = Accumulation resistance＞＞RA =蓄積抵抗

＜＜★［1］RJ = "JFET" component-resistance of the＞＞RJ = "JFET"コンポーネント-の抵抗

＜＜★region between the two body regions＞＞2つの体の領域の間の領域

＜＜★RD = Drift region resistance＞＞RD =ドリフト領域の抵抗

＜＜★Rsub = Substrate resistance＞＞Rsub =基板抵抗

＜＜★Wafers with substrate resistivities of up to 20m -cm are used for high voltage devices and less than 5m -cm for low voltage devices.＞＞基板抵抗率が最大20m-cmのウェーハは高電圧デバイスに使用され、5m-cm未満は低電圧デバイスに使用されます。

＜＜★Rwcml = Sum of Bond Wire resistance, the Contact resistance between the source and drain Metallization and the silicon, metallization and Leadframe contributions.＞＞Rwcml =ボンドワイヤ抵抗の合計、ソースとドレイン間の接触抵抗メタライゼーションとシリコン、メタライゼーション、およびリードフレームの寄与。＜＜★These are normally negligible in high voltage devices but can become significant in low voltage devices.＞＞これらは通常、高電圧デバイスでは無視できますが、低電圧デバイスでは重要になる可能性があります。

＜＜★Figure 9 shows the relative importance of＞＞図9は、

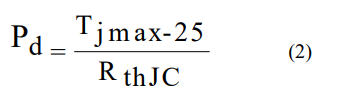
＜＜★［1］each of the components to RDS(on) over the voltage spectrum.＞＞電圧スペクトル全体でRDS（on）への各コンポーネント。＜＜★As can be seen, at high＞＞見てわかるように、高い

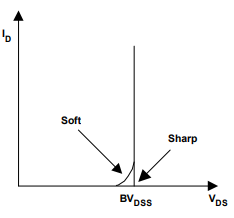
＜＜★［1］voltages the RDS(on) is dominated by epi resistance and JFET component.＞＞RDS（on）の電圧は、エピ抵抗とJFETコンポーネントによって支配されます。＜＜★［1］This component is higher in high voltage devices due to the higher resistivity or lower background carrier concentration in＞＞この成分は、抵抗率が高いか、バックグラウンドキャリア濃度が低いため、高電圧デバイスで高くなります。

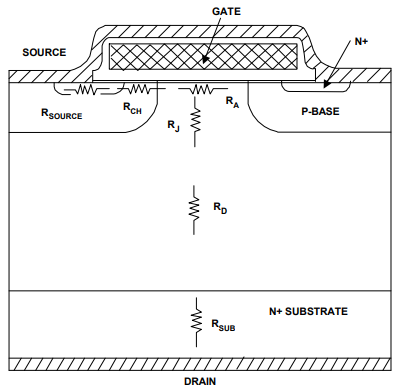
＜＜★the epi.＞＞エピ。＜＜★At lower voltages, the RDS(on) is dominated by the channel resistance and the contributions from the metal to semiconductor contact, metallization, bond wires and leadframe.＞＞より低い電圧では、RDS（on）は、チャネル抵抗と、金属から半導体への接触、メタライゼーション、ボンドワイヤ、およびリードフレームへの寄与によって支配されます。＜＜★The substrate contribution becomes more significant for lower breakdown voltage devices.＞＞基板の寄与は、より低い絶縁破壊電圧のデバイスでより重要になります。

***＜＜★TRANSCONDUCTANCE＞＞相互コンダクタンス***

＜＜★Transconductance, gfs, is a measure of the sensitivity of drain current to changes in gate-source bias.＞＞相互コンダクタンスgfsは、ゲート-ソースバイアスの変化に対するドレイン電流の感度の尺度です。＜＜★［1］This parameter is normally quoted for a Vgs that gives a drain current equal to about one half of the maximum current rating value and for a VDS that ensures operation in the constant current region.＞＞このパラメータは通常、最大電流定格値の約半分に等しいドレイン電流を与えるgsと、定電流領域での動作を保証するVDSに対して引用されます。＜＜★Transconductance is influenced by gate width, which increases in proportion to the active area as cell density increases.＞＞相互コンダクタンスはゲート幅の影響を受けます。ゲート幅は、セル密度が増加するにつれてアクティブエリアに比例して増加します。＜＜★［015］Cell density has increased over the years from around half a million per square inch in 1980 to around eight million for planar MOSFETs and around 12 million for the trench technology.＞＞セル密度は、1980年の1平方インチあたり約50万から、プレーナMOSFETの場合は約800万、トレンチ技術の場合は約1200万に長年にわたって増加しています。＜＜★The limiting factor for even higher cell densities is the photolithography process control and resolution that allows contacts to be made to the source metallization in the center of the cells.＞＞さらに高いセル密度の制限要因は、セルの中心にあるソースメタライゼーションに接触できるようにするフォトリソグラフィプロセスの制御と解像度です。







Channel length also affects transconductance. Reduced channel length is beneficial to both gfs and on-resistance, with punch-through as a tradeoff. The lower limit of this length is set by the ability to control the double-diffusion process and is around 1-2mm today. Finally the lower the gate oxide thickness the higher gfs.

***THRESHOLD VOLTAGE***

＜＜★Threshold voltage, Vth, is defined as the minimum gate electrode bias required to strongly invert the surface under the poly and form a conducting channel between the source and the drain regions.＞＞しきい値電圧Vthは、ポリの下の表面を強く反転させ、ソース領域とドレイン領域の間に導電チャネルを形成するために必要な最小ゲート電極バイアスとして定義されます。＜＜★Vth is usually measured at a drain-source current of 250 A. Common values are 2-4V for high voltage devices with thicker gate oxides, and 1-2V for lower voltage, logic-compatible devices with＞＞Vthは通常、250Aのドレイン-ソース電流で測定されます。一般的な値は、ゲート酸化物が厚い高電圧デバイスの場合は2〜4V、低電圧のロジック互換デバイスの場合は1〜2Vです。

thinner gate oxides. With power MOSFETs finding increasing use in portable electronics and wireless communications where battery power is at a premium, the trend is toward lower values of RDS(on) and Vth.

**Figure 7.** Power MOSFET Breakdown   
Characteristics

**Figure 8.** Origin of Internal Resistance in a Power MOSFET.

***DIODE FORWARD VOLTAGE***

The diode forward voltage, VF, is the guaranteed maximum forward drop of the body-drain diode at a specified value of source current. Figure 10 shows a typical I-V characteristics for this diode at two temperatures. P-channel devices have a higher VF due to the higher contact resistance between metal and p-silicon compared with n-type silicon. Maximum values of 1.6V for high voltage devices (>100V) and 1.0V for low voltage devices (<100V) are common.

***POWER DISSIPATION***

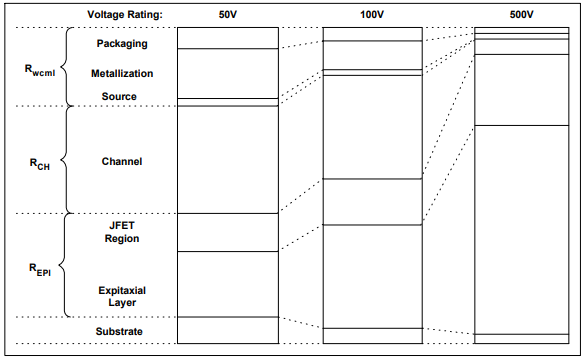
The maximum allowable power dissipation that will raise the die temperature to the maximum allowable when the case temperature is held at 250C is important. It is give by Pd where:

Tjmax = Maximum allowable temperature of the p-n junction in the device (normally 1500C or 1750C) RthJC = Junction-to-case thermal impedance of the device.

***DYNAMIC CHARACTERISTICS***

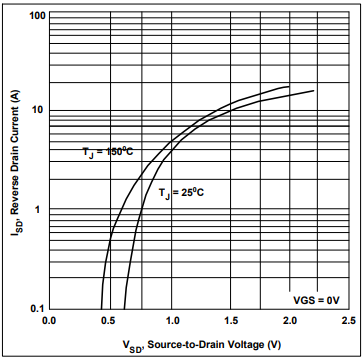
＜＜★When the MOSFET is used as a switch, its basic function is to control the drain current by the gate voltage.＞＞MOSFETをスイッチとして使用する場合、その基本的な機能は、ゲート電圧によってドレイン電流を制御することです。＜＜★Figure 11(a) shows the transfer characteristics and Figure 11(b) is an equivalent circuit model often used for the analysis of MOSFET switching performance.＞＞図11（a）は伝達特性を示し、図11（b）はMOSFETのスイッチング性能の分析によく使用される等価回路モデルです。

**＜＜★Figure 9.＞＞図9。＜＜★**Relative Contributions to RDS(on) With Different Voltage Ratings.＞＞異なる電圧定格でのRDS（on）への相対的な寄与。



＜＜★The switching performance of a device is determined by the time required to establish voltage changes across capacitances.＞＞デバイスのスイッチング性能は、静電容量間の電圧変化を確立するために必要な時間によって決まります。＜＜★RG is the distributed resistance of the gate and is approximately inversely proportional to active area.＞＞RGはゲートの分布抵抗であり、アクティブエリアにほぼ反比例します。＜＜★LS and LD are source and drain lead inductances and are around a few tens of nH.＞＞LSとLDはソースとドレインのリードインダクタンスであり、約数十nHです。＜＜★［1］Typical values of input (Ciss), output (Coss) and reverse transfer (Crss) capacitances given in the data sheets are used by circuit designers as a starting point in determining circuit component values.＞＞データシートに記載されている入力（Ciss）、出力（Coss）、および逆伝達（Crss）容量の一般的な値は、回路設計者が回路コンポーネントの値を決定する際の開始点として使用します。＜＜★The data sheet capacitances are defined in terms of the equivalent circuit capacitances as:＞＞データシートの静電容量は、等価回路の静電容量に関して次のように定義されます。

＜＜★Turn-on delay, td(on), is the time taken to charge the input capacitance of the device before drain current conduction can start.＞＞ターンオン遅延td（on）は、ドレイン電流の伝導が開始される前に、デバイスの入力容量を充電するのにかかる時間です。



Ciss = CGS + CGD, CDS shorted

Crss = CGD

Coss = CDS + CGD

＜＜★Gate-to-drain capacitance, CGD, is a nonlinear function of voltage and is the most important parameter because it provides a feedback loop between the output and the input of the circuit.＞＞ゲート-ドレイン間容量CGDは、電圧の非線形関数であり、回路の出力と入力の間にフィードバックループを提供するため、最も重要なパラメータです。＜＜★CGD is also called the Miller capacitance because it causes the total dynamic input capacitance to become greater than the sum of the static capacitances.＞＞CGDは、動的入力容量の合計が静的容量の合計よりも大きくなるため、ミラー容量とも呼ばれます。

＜＜★Figure 12 shows a typical switching time test circuit.＞＞図12に、一般的なスイッチング時間テスト回路を示します。＜＜★［1］Also shown are the components of the rise and fall times with reference to the＞＞また、立ち上がり時間と立ち下がり時間のコンポーネントも示されています。

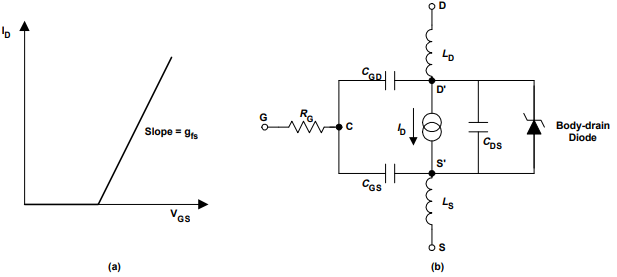
＜＜★VGS and VDS waveforms.＞＞VGSおよびVDSの波形。

**Figure 10.** Typical Source-Drain (Body) Diode Forward   
Voltage Characteristics.

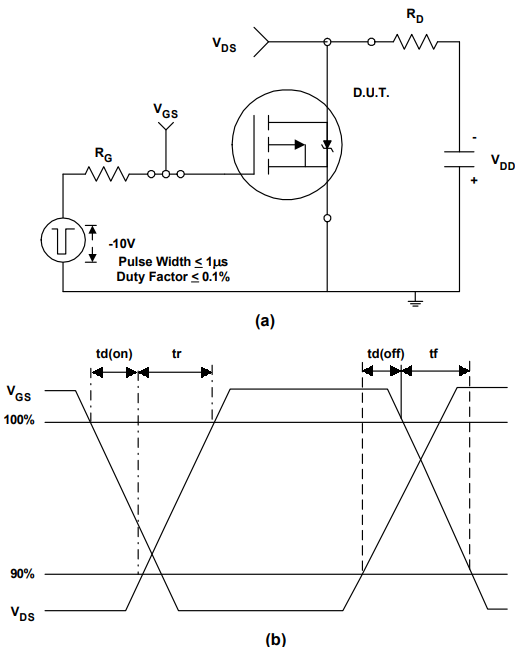
＜＜★Similarly, turn-off delay, td(off), is the time＞＞同様に、ターンオフ遅延td（off）は時間です

＜＜★taken to discharge the capacitance after the after is switched off.＞＞アフターがオフになった後、静電容量を放電するために取られます。

**Figure 11.** Power MOSFET (a) Transfer characteristics, (b) Equivalent Circuit Showing Components That Have Greatest Effect on Switching



***＜＜★GATE CHARGE＞＞ゲートチャージ***



**Figure 12.** Switching Time Test (a) Circuit, (b) VGS and VDS

Waveforms

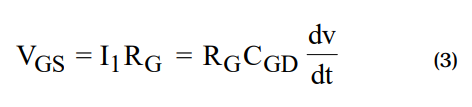
＜＜★Although input capacitance values are useful, they do not provide accurate results when comparing the switching performances of two devices from different manufacturers.＞＞入力容量の値は有用ですが、異なるメーカーの2つのデバイスのスイッチング性能を比較した場合、正確な結果は得られません。＜＜★Effects of device size and transconductance make such comparisons more difficult.＞＞デバイスサイズと相互コンダクタンスの影響により、このような比較はより困難になります。＜＜★A more useful parameter from the circuit design point of view is the gate charge rather than capacitance.＞＞回路設計の観点からより有用なパラメータは、静電容量ではなくゲート電荷です。＜＜★Most manufacturers include both parameters on their data sheets.＞＞ほとんどのメーカーは、データシートに両方のパラメーターを含めています。＜＜★Figure 13 shows a typical gate charge waveform and the test circuit.＞＞図13に、一般的なゲート電荷波形とテスト回路を示します。＜＜★When the gate is connected to the supply voltage, VGS starts to increase until it＞＞ゲートが供給電圧に接続されると、VGSはそれまで増加し始めます

＜＜★reaches Vth, at which point the drain current starts to flow and the CGS starts to charge.＞＞Vthに達すると、ドレイン電流が流れ始め、CGSが充電を開始します。＜＜★During＞＞中

＜＜★the period t1 to t2, CGS continues to charge, the gate voltage continues to rise and drain current rises＞＞t1からt2の期間、CGSは充電を続け、ゲート電圧は上昇し続け、ドレイン電流は上昇します

＜＜★proportionally.＞＞比例して。＜＜★At time t2, CGS is completely charged and the drain current reaches the predetermined current ID and stays constant while the drain voltage starts to fall.＞＞時間t2で、CGSは完全に充電され、ドレイン電流は所定の電流IDに達し、ドレイン電圧が低下し始める間一定に保たれます。＜＜★With reference to the equivalent circuit model of the MOSFET shown in Figure 13, it can be seen that with CGS fully charged at t2, VGS＞＞図13に示すMOSFETの等価回路モデルを参照すると、CGSがt2で完全に充電されている場合、VGSであることがわかります。

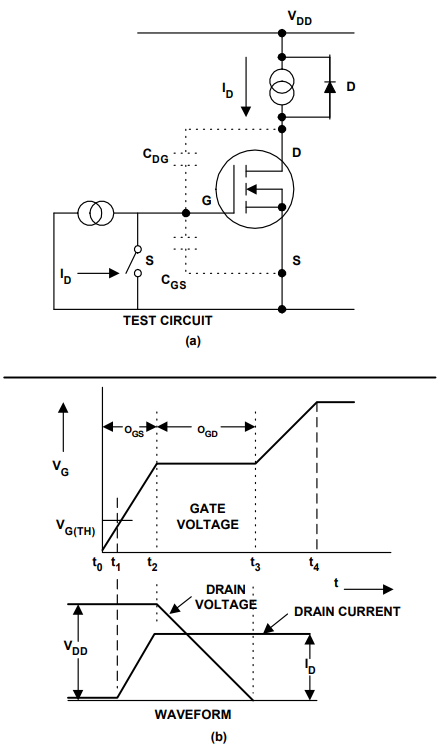
＜＜★becomes constant and the drive current starts to charge the Miller capacitance, CDG.＞＞が一定になり、駆動電流がミラー容量CDGの充電を開始します。＜＜★This continues until time t3.＞＞これは時間t3まで続きます。



catastrophic failure may occur. There are two possible mechanisms by which a dv/dt induced turn-on may take place. Figure 14 shows the equivalent circuit model of a power MOSFET, including the

parasitic BJT. The first mechanism of dv/dt induced turn-on becomes active through the feedback action of the gate-drain capacitance, CGD. When a voltage ramp appears across the drain and source terminal of the device a current I1 flows through the gate resistance, RG, by means of the gate-drain capacitance,

CGD. RG is the total gate resistance in the circuit and the voltage drop across it is given by:



＜＜★Charge time for the Miller capacitance is larger than that for the gate to source capacitance CGS due to the rapidly changing＞＞ミラー容量の充電時間は、急速に変化するため、ゲートからソースへの容量CGSの充電時間よりも長くなります。

＜＜★drain voltage between t2 and t3 (current = C dv/dt).＞＞t2とt3の間のドレイン電圧（電流= C dv / dt）。＜＜★Once both of the capacitances CGS＞＞一度両方の静電容量CGS

＜＜★and CGD are fully charged, gate voltage (VGS) starts increasing again until it reaches the supply voltage at time t4.＞＞CGDが完全に充電されると、ゲート電圧（VGS）は、時間t4で供給電圧に達するまで再び増加し始めます。＜＜★The gate charge＞＞ゲートチャージ

＜＜★(QGS + QGD) corresponding to time t3 is the bare minimum charge required to switch the device on.＞＞時間t3に対応する（QGS + QGD）は、デバイスの電源をオンにするために必要な最低限の充電です。＜＜★Good circuit design practice dictates the use of a higher gate voltage than the bare minimum required for switching and therefore the gate charge used in the calculations is QG＞＞優れた回路設計手法では、スイッチングに必要な最低限よりも高いゲート電圧を使用する必要があるため、計算に使用されるゲート電荷はQGです。

＜＜★corresponding to t4.＞＞t4に対応します。

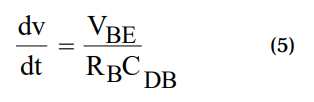
＜＜★The advantage of using gate charge is that the designer can easily calculate the amount of current required from the drive circuit to switch the device on in a desired length of time because Q = CV and I = C dv/dt, the Q = Time x current.＞＞ゲート電荷を使用する利点は、Q = CVおよびI = C dv / dt、Q = Time xであるため、設計者がドライブ回路から必要な電流量を簡単に計算して、デバイスのスイッチをオンにすることができることです。電流。＜＜★For example, a device with a gate charge of 20nC can be turned on in 20 sec if 1ma is supplied to the gate or it can turn on in 20nsec if the gate current is increased to 1A.＞＞たとえば、ゲート電荷が20nCのデバイスは、ゲートに1maが供給されると20秒でオンになり、ゲート電流が1Aに増加すると20n秒でオンになります。＜＜★These simple calculations would not have been possible with input capacitance values.＞＞これらの単純な計算は、入力容量値では不可能でした。

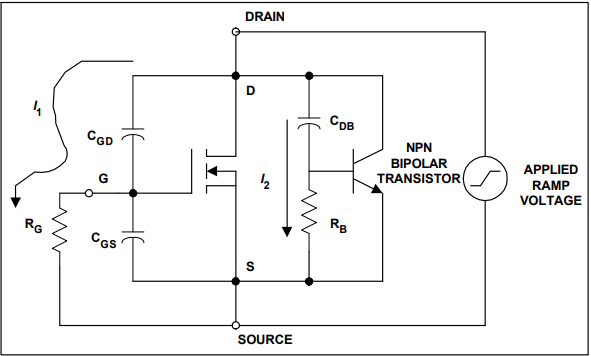
***＜＜★dv/dt CAPABILITY＞＞dv / dt機能***

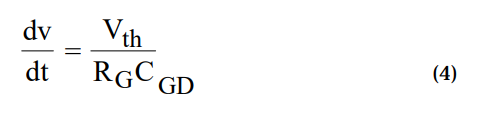
**Figure 13.** Gate Charge Test (a) Circuit, (b) Resulting Gate   
and Drain Waveforms.

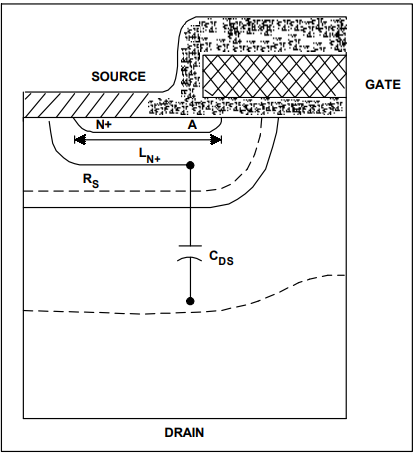
Peak diode recovery is defined as the maximum rate of rise of drain-source voltage allowed, i.e., dv/dt capability. If this rate is exceeded then the voltage across the gate-source terminals may become higher than the threshold voltage of the device, forcing the device into current conduction mode, and under certain conditions a

When the gate voltage VGS exceeds the threshold voltage of the device Vth, the device is forced into conduction. The dv/dt capability for this mechanism is thus set by:









＜＜★［1］It is clear that low Vth devices are more prone to dv/dt turn-on.＞＞低Vthデバイスはdv / dtターンオンを起こしやすいことは明らかです。＜＜★The negative temperature coefficient of Vth is of special importance in applications where high temperature environments are present.＞＞Vthの負の温度係数は、高温環境が存在するアプリケーションで特に重要です。＜＜★Also gate circuit impedance has to be chooses carefully to avoid this effect.＞＞また、この影響を回避するには、ゲート回路のインピーダンスを慎重に選択する必要があります。

＜＜★［2］The second mechanism for the dv/dt turn-on in MOSFETs is through the parasitic BJT as shown in Figure 15.＞＞MOSFETのdv / dtターンオンの2番目のメカニズムは、図15に示すように寄生BJTを介したものです。＜＜★The capacitance associated with the depletion region of the body diode extending into the drift region is denoted as CDB and appears between＞＞ドリフト領域に伸びるボディダイオードの空乏領域に関連する静電容量はCDBとして表され、

＜＜★the base of the BJT and the drain of the MOSFET.＞＞BJTのベースとMOSFETのドレイン。＜＜★This capacitance gives rise to a current I2 to flow＞＞この静電容量により、流れる電流I2が発生します。

＜＜★through the base resistance RB when a voltage ramp appears across the drain-source terminals.＞＞電圧ランプがドレイン-ソース端子間に現れると、ベース抵抗RBを介して。＜＜★With analogy to the first mechanism, the dv/dt capability of this mechanism is:＞＞最初のメカニズムと同様に、このメカニズムのdv / dt機能は次のとおりです。

**Figure 14.** Equivalent Circuit of Power MOSFET Showing Two Possible   
Mechanisms for dv/dt Induced Turn-on.

＜＜★If the voltage that develops across RB is greater than about 0.7V, then the base-emitter junction is forward-biased and the parasitic BJT is turned on.＞＞RBの両端に発生する電圧が約0.7Vより大きい場合、ベース-エミッタ接合は順方向にバイアスされ、寄生BJTがオンになります。＜＜★Under the conditions of high (dv/dt) and large values of RB, the breakdown voltage of the MOSFET will be limited to that of the open-base breakdown voltage of the BJT.＞＞RBの値が高く（dv / dt）、大きい場合、MOSFETのブレークダウン電圧はBJTのオープンベースブレークダウン電圧の電圧に制限されます。＜＜★If the applied drain voltage is greater than the open-base breakdown voltage, then the MOSFET will enter avalanche and may be destroyed if the current is not limited externally.＞＞印加されたドレイン電圧がオープンベースのブレークダウン電圧よりも大きい場合、MOSFETはアバランシェに入り、電流が外部で制限されていないと破壊される可能性があります。

＜＜★Increasing (dv/dt) capability therefore requires reducing the base resistance RB by increasing the body region doping and reducing the distance current I2 has to flow laterally before it is collected by the source metallization.＞＞したがって、（dv / dt）能力を高めるには、ボディ領域のドーピングを増やし、電流I2がソースメタライゼーションによって収集される前に横方向に流れる必要がある距離を減らすことによって、ベース抵抗RBを減らす必要があります。＜＜★As in the first mode, the BJT related dv/dt capability becomes worse at higher temperatures because RB increases and VBE decreases with increasing temperature.＞＞最初のモードと同様に、RBが増加し、VBEが温度の上昇とともに減少するため、BJT関連のdv / dt機能は高温で悪化します。

**Figure 15.** Physical Origin of the Parasitic BJT   
Components That May Cause dv/dt Induced Turn-on

*参考資料:*

＜＜★"HEXFET Power MOSFET Designer's Manual - Application Notes and Reliability Data," International＞＞「HEXFETパワーMOSFET設計者マニュアル-アプリケーションノートと信頼性データ」、International

＜＜★Rectifier＞＞整流器

＜＜★"Modern Power Devices," B. Jayant Baliga＞＞「ModernPowerDevices」、B。JayantBaliga

＜＜★"Physics of Semiconductor Devices," S. M. Sze＞＞「半導体デバイスの物理」、SM Sze

＜＜★"Power FETs and Their Applications," Edwin S. Oxner＞＞「パワーFETとその応用」、エドウィンS.オクスナー

＜＜★"Power MOSFETs - Theory and Applications," Duncan A. Grant and John Gower＞＞「パワーMOSFET-理論と応用」、ダンカンA.グラントとジョンガワー