

最適化のための簡単な設計手法
の効率と過電圧スパイク
DCからDCへの同期整流
コンバーター

IFAT PMMAPSSEDSMößlacherChristianGuillemantOlivier

目次

|  |  |  |
| --- | --- | --- |
| **1** | **要約**  | **4** |
| **2** | **はじめに**  | **4** |
| **3** | **最適なRDSの選択（オン）**  | **5** |
| **4** | **スナバネットワークの最適化**  | **7** |
| **5** | **SRゲートタイミングの最適化**  | **10** |
| **6** | **パッケージの最適化**  | **11** |
|   | 6.1 製品へのパッケージの貢献RDS（on）  | 11 |
|   | 6.2 性能指数の改善  | 12 |
|   | 6.3 スイッチング動作の改善  | 14 |
| **7** | **結論**  | **15** |
| **8** | **参考資料**  | **15** |

# 1 要約

パッケージ密度が継続的に増加し、エネルギーガイドラインがますます制限されているため（80PLUS®[1]）、スイッチモード電源（SMPS）の効率を継続的に改善して90％を超える必要があります。主な損失の1つは、絶縁型電力変換器の2次側整流のダイオード順方向損失です。したがって、高効率を達成するには、最新のパワーMOSFETを使用した同期整流（SR）を使用する必要があります。この対策は、スイッチング損失の増加による軽出力負荷での低効率と、同期MOSFETの最大電圧定格に違反する高電圧オーバーシュートと効率ゲインの間のトレードオフになる可能性があります。このホワイトペーパーでは、システム全体の効率を最適化し、電圧オーバーシュートを低減してSMPS設計プロセスを高速化するための簡単な実装設計手法を提案します。

# 2 はじめに

スイッチモード電源の2次側整流段は、通常、パワーダイオードを使用して実現されます。これらのダイオードの順方向電圧降下は0.5V以上であるため、大きな出力電流と組み合わさって、大きな導通損失が発生します。これらの損失を減らすために、数ミリオームのオン状態抵抗を備えた最新のパワーMOSFETを使用できます。これは、特に大電流動作で、システム全体の効率を改善する大きな可能性を提供します。整流のこれら2つのバリエーションを詳しく比較すると、パワーダイオードをMOSFETに置き換えると、軽出力負荷での効率の低下やターンオフ時の高電圧オーバーシュートなどの問題が発生する可能性があることがわかります。これは、スイッチング容量に起因します。スイッチング容量は、通常、ダイオードよりもMOSFETの方が高くなります[4]。この欠点を克服するには、最適なRDS（on）の詳細な分析を実行する必要があります。もう1つの重要な問題は、SRMOSFETのゲートタイミングです。このパラメータは、コンバータの効率と過電圧スパイクに大きな影響を与える可能性があります。最新のシリコン技術を最大限に活用するには、パッケージの正しい選択も重要なトピックです。リードレスSMDパッケージは、パッケージの寄生抵抗性および誘導性部分を減らすことにより、効率と動的動作を改善するのに役立ちます。

# 3 最適なRDSの選択（オン）

特定のMOSFETテクノロジの最適なRDS（on）を選択し、最高の効率を最適化するには、スイッチング損失と導通損失のバランスの取れた比率を見つける必要があります。これらの損失を計算するための説明は、別の論文[2]にあります。低出力負荷では、導通損失はわずかな役割しか果たしませんが、スイッチング損失が支配的な要因です。より高い負荷を求めると、比率が逆転し、伝導損失が支配的になります。特定のSRMOSFETテクノロジに最適なRDS（on）クラスを簡単に計算するために、モデルが開発されています。そのため、MOSFETテクノロジパラメータであるFOM（性能指数）が導入されています。このFOMは、FOMQgやFOMQossなどのテクノロジーがシステムでどのように機能するかを示します。FOMは、予想されるゲート駆動損失または出力容量からの損失の指標です。MOSFETの静電容量はRDS（on）に反比例するため、この製品は1つの固定技術のRDS（on）クラス全体で同じままです。



**式1**

 **式2**

スイッチング周波数fsw、ゲート駆動電圧Vg、2次側トランス電圧VT、FOMQg、およびFOMQossがわかれば、定義されたMOSFET電流IRMSで最適なRDS（on）を計算できます。次のFOMを定義する必要があります。

**式3**



**式4**

**式5**

電荷は常にそれぞれの電圧で計算する必要があります。つまり、トランス電圧VTでのQossとゲート駆動電圧VgでのQgを意味します。電力損失を計算するためのすべての式は、定数項を導入することにより、MOSFETのRDS（on）を介して表すことができます。

全負荷範囲でバランスの取れた効率を実現するには、MOSFET電流を適切に選択する必要があります。全負荷の最適化を行うと、高出力電流で良好な効率の結果が得られます。ただし、このアプローチでは、低負荷での効率が大幅に低下し、並列MOSFETの数が許容できない値に増加します。したがって、出力電流範囲全体にわたって比較的一定の効率値を達成するために、最適値を見つける必要があります。この問題を説明するために、さまざまな最適化アプローチによる効率を図1に示します。これらの効率チャートは、トランス電圧が40V、ゲート駆動電圧が10V、スイッチング周波数が100kHzの12V同期整流ステージの計算された効率を示しています。75V SR MOSFETテクノロジーを採用し、10A MOSFET電流の最適なRDS（on）を計算すると、低電流では高効率が得られますが、大電流では非常に低効率になります。50Aの最適化を行うと、低電流では許容できない効率が得られますが、全負荷で最大に達します。このセットアップの最適なソリューションは、全体的にバランスの取れた効率を提供する20Aの最適化です。

**式11**

**式10**

**式8**

**式6**

**式9**







**式7**

上記の式のそれぞれについて、次の定数項を定義できます。

総電力損失が定義されました。

この式の導出を計算することにより、最適なRDS（on）が定義されます。



# 4 スナバネットワークの最適化

性能最適化の2番目の手段は、SR MOSFETでの電圧オーバーシュートの減衰を担うスナバネットワークの選択と設計です（図2）[3]。MOSFETの出力容量と並列の直列RCの組み合わせである単純なRCスナバネットワークを使用すると、余分な損失が発生します。この理由は、スナバ容量をスイッチングサイクルごとに充電および放電する必要があり、その結果、スイッチング損失が発生するためです。





**式12**



このRCの組み合わせからRCDスナバネットワークに移行することで、損失を減らすことができます。MOSFETの電圧がスナバ容量の電圧を超えて上昇している場合、ダイオードは導電性になり、エネルギーはこの容量に転送され、過電圧レベルをクランプします（図3）。



Cの上の電圧が変圧器の電圧より低くならないように、RC時定数を適切に調整する必要があります。この場合、スナバ容量はMOSFET出力容量から切り離されているため、容量性ターンオフ損失には寄与しません。さらに、RCDスナバ容量に蓄積されたエネルギーの一部を、グランドではなくコンバータの出力に放電することで回復することができます。この方法により、テストされたDC / DCコンバータの効率が向上します。



このRCDネットワークの動作を最適化するには、ループMOSFET-ダイオード-コンデンサを最小限に抑える必要があります。インダクタンスが低いほど、応答時間が長くなるため、スナバの有効性が高くなります。これは、アプリケーションの場合、低誘導SMDコンポーネントを使用し、MOSFETのできるだけ近くに配置する必要があることを意味します。理想的には、このRCDネットワークは、オーバーシュートのエネルギーの一部を回収できるようにしながら、追加の損失を回避します。

次の計算を使用して、抵抗と静電容量の値の概算を行うことができます。まず、電圧オーバーシュートに蓄えられるエネルギーを知る必要があります[2]。





**式13**

次に、このエネルギーはスナバネットワークの静電容量に転送されます。

**式14**

この考慮事項から、スナバの静電容量を見積もることができます。

**式15**

snubに応じて、コンデンサを放電するための抵抗を計算できます。









**式16**

これらの式は、値RsnubおよびCsnubの最初の推定値を示します。多くの外部寄生要素もスナバネットワークの動作に寄与するため、正確な調整はアプリケーションの試行錯誤によって行う必要があります。

# 5 SRゲートタイミングの最適化

電圧オーバーシュートに対するもう1つの重要な影響は、SRMOSFETのゲートタイミングによるものです。通常、ボディダイオードはSR MOSFETがオフになる前に導電性であるため、オン時間に特別な注意を払う必要があります。ボディダイオードのフラッディングが長ければ長いほど、Qrrは高くなります。Qrrが高いということは、誘導ターンオフエネルギーが高いことを意味し、電圧オーバーシュートの高さに直接影響します。最小の逆回復電荷を保証するには、ボディダイオードの導通時間を最小限に抑える必要があります。図5を参照してください。この場合、フラッディング時間を150nsから20nsにすると、電圧のオーバーシュートが20V減少します。現在のシュートスルーは簡単に発生する可能性があるため、20ns未満のタイミングが重要です。これは、オーバーシュートが高くなり、効率が低下することを意味します。タイミングは電流によって変化するため、負荷範囲全体にわたって特定の最小デッドタイムを保証する必要があります。



# 6 パッケージの最適化

過去を振り返ると、電源スイッチの標準パッケージタイプはTO220パッケージでした。その理由は、優れた冷却能力と取り付けプロセスでの取り扱いの容易さでした。今日、シリコン技術が劇的に改善されたため、低電圧電源スイッチのオン状態抵抗は2mOhms以下の範囲ですが、同じパッケージの抵抗部分は同じままでした。これは、RDS（on）全体に対するパッケージの抵抗寄与率が劇的に増加したことを意味します。TO220のような標準的なスルーホールタイプは、現在、最新のシリコン技術を制限しています。これには、最新のシリコンスイッチをさらに活用するために、抵抗の寄与を低減するためのパッケージ戦略を再考する必要があります。[6]

**6.1 製品へのパッケージの貢献RDS（on）**

最新のMOSFET30Vテクノロジーを採用すると、TO-220パッケージで1.2mOhmという低いオン状態抵抗に到達できます。パッケージ（TO-220）の抵抗が1mOhmの範囲にあることを考慮すると、RDS（on）全体に対するパッケージの寄与は約80％です。図6を参照してください。したがって、抵抗性シリコンの含有量はわずか約20％であり、これは低オーミックMOSFETシリコンの今日の状況を明らかにしています。シリコンではありませんが、パッケージは標準のスルーホールパッケージでのオン状態抵抗の低下を妨げています[5]。D2PAKなどのSMDパッケージタイプに移行すると、パッケージの影響をすでに減らすことができます。さらに、はるかに進歩的なステップは、リードレスSMDパッケージタイプを使用することです。これにより、TO-220と比較してパッケージの寄与が50％削減され、製品のより高いパフォーマンスが可能になります。

この高抵抗パッケージの寄与は、主に絶縁破壊電圧の低いMOSFETに影響を及ぼします。MOSFET電圧クラスが高いほど、RDS（on）は高くなります。これは、RDS（on）全体に対するパッケージ抵抗の寄与率が低いことを意味します。150Vテクノロジを使用すると、パッケージの寄与は5％から20％の範囲にすぎませんが、30V MOSFETの場合は40％から80の範囲になります。 ％。

**式18**



## 6.2 性能指数の改善

MOSFET技術の性能を評価するために、Qgは指標を与えることができます。





**式17**

MOSFETの静電容量はRDS（on）に間接的に比例するため、特定のシリコン技術では、このパラメータは一定です。さまざまなパッケージタイプを考慮すると、FOMQgはもはや一定ではありません。パッケージ抵抗は、シリコン抵抗に一定の値を追加します。

これにより、特定のMOSFETテクノロジのパッケージやRDS（on）クラスごとにFOMQg値が異なります。パッケージ抵抗の影響は、シリコン抵抗が減少するにつれて増加します。図7を参照してください。左の2つのバーは、同じシリコンが内部にある2つの異なるパッケージを示しています。右側は同じセットアップを示していますが、RDS（on）クラスが高くなっています。





下位のRDS（on）クラスの場合、パッケージはFOMQgに対してはるかに大きな影響を及ぼします。パッケージをTO-220からリードレスSMDバージョンに変更すると、2mOhmスイッチの場合にFOMQgを最大50％削減できます。RDS（on）が高いほど、パッケージの影響は少なくなります。



理論の実験的検証を通じて、正確に予測された結果を見ることができます（図8）。リードレスSMDパッケージは、同じシリコンが使用されていますが、出力負荷範囲全体にわたってより優れた効率を示します。

## 6.3 スイッチング動作の改善

リードレスパッケージをTO-220と比較すると、抵抗パッケージの寄与がはるかに低いだけでなく、寄生インダクタンスも小さくなっています。リードレス設計とクリップによるボンディングにより、インダクタンスはかなり減少し、TO-220パッケージが10nH以上の範囲である間、0.2nHという低い値に達する可能性があります。このインダクタンスは、MOSFETのターンオフプロセスでの高いdi / dt値と組み合わされて、ゲート接続に電圧を誘導し、しきい値レベルに達する可能性があります。これにより、誘導性のターンオンが引き起こされ、効率の悪いシュートスルーが発生したり、スイッチが破壊されたりする可能性があります。

TO-220パッケージでは、誘導性のターンオン効果だけでなく、ターンオフプロセスでの高電圧オーバーシュートも発生する可能性があります。低誘導リードレスSMDパッケージは、この影響を最小限に抑えることができます。12V同期整流ステージでは、TO-220パッケージを低誘導パッケージに交換するだけで10Vの削減を実現できます。図9を参照してください。電圧ストレスが低減されると、MOSFETのより小さな電圧クラスを使用してシステムをさらに最適化できます。



# 7 結論

同期整流で最高の効率を達成するために、ダイオードをMOSFETに置き換えるだけでは成功しません。システム全体を注意深く詳細に分析する必要があります。MOSFETの最適なRDS（on）値を選択したり、ゲートタイミングを調整したり、スナバネットワークを適合させたりすることで、より高い効率を実現し、設計プロセスを簡素化できます。性能を向上させるためのさらに高い可能性のあるレバーは、MOSFETパッケージタイプの正しい選択です。現代のシリコン技術は、標準パッケージとその寄生要素によってますます妨げられています。リードレスSMDパッケージは、寄生抵抗部分と誘導部分を減らすことにより、効率と動的動作を改善するのに役立ちます。スイッチング損失が減少し、誘導性ターンオンのリスクを最小限に抑えることができると同時に、電圧のオーバーシュートが制限されます。上記のすべての方法を組み合わせると、効率の可能性が大幅に高まり、SRMOSFETのスイッチング動作が向上します。

# 8 参考資料

1. [http://www.plugloadsolutions.com/80PlusPowerSupplies.aspx,](http://www.plugloadsolutions.com/80PlusPowerSupplies.aspx%2C) February 2012.
2. C. Mößlacher、Dr。L.Görgens：MOSFETパワー損失メカニズムの分析による同期整流の効率の改善、PCIM、2009年、ニュルンベルク–ドイツ。
3. Rudy Severns：電力回路用スナバの設計、www.cde.com / tech / design.pdf、2009年7月。
4. Ionel Dan Jitaru：インテリジェント電力処理による高効率電力変換、第2章、PCIM、2008年、ニュルンベルク–ドイツ。
5. LutzGörgens博士、「最新の低電圧パワーMOSFETの効果の最大化」、APEC、2009年。
6. Jason Zhang、「適切なパワーMOSFETパッケージの選択」、アプリケーションノート、International Rectifier、2004年2月。