サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

AN58827

PSoC®3 および PSoC 5LP の内部アナログルーティングの考慮事項

著者：Mark Hastings
関連プロジェクト：なし
関連製品ファミリ：すべての PSoC 3 および PSoC 5LP 製品
ソフトウェアバージョン：PSoC Creator™1.0 以降
関連アプリケーションノート：なし

AN58827 は、内部トレースとスイッチ抵抗がデザインのパフォーマンスにどのように影響するか、および PSoC®3 および PSoC 5LP の内部アナログアーキテクチャに関するいくつかの基本的な詳細を理解することによって、これらの問題を回避する方法について説明します。ほとんどのアプリケーションにおいては、トレースとスイッチの抵抗は問題になりません。ただし、このアプリケーションノートは、信号パスの抵抗が測定誤差を引き起こす可能性があることを設計者に説明します。

はじめに

PCB にワイヤまたはトレースを追加すると、信号パスにある程度の抵抗が追加されます。これは、集積回路に信号パスとスイッチを追加する場合にも当てはまります。唯一の違いはスケールですが、オームの法則は依然として当てはまります。

PSoC 3 および PSoC 5LP 製品は、おそらく現在の市場で最も柔軟なミックスドシグナルコントローラーです。内部アナログスイッチマトリクスは、アナログブロックと GPIO (汎用入力および出力) ピンの間で信号をルーティングするときに多くのオプションを提供します。この柔軟性を提供するために必要な信号パスとスイッチは、信号ソースとその接続先の間に抵抗も追加します。アナログブロック、GPIO、およびスイッチマトリクスの詳細図は、このアプリケーションノートの最後の付録にあります。

パス抵抗の計算

アナログブロックと GPIO ピンの間のパスの抵抗を決定するには、信号パスの各スイッチとトレースの抵抗を合計します。表 1 に、各アナログパスとスイッチの最悪の場合の抵抗の概算を示します。

表 1. 内部パスとスイッチの典型的な抵抗

項目	ラベル	標準的な抵抗
Small スイッチ	(白色)	500 - 700 Ω
Large スイッチ	(赤色)	200 - 350 Ω
XLarge スイッチ	(緑色)	~ 50 Ω
アナロググローバル	AGL[7:0], AGR[7:0]	~ 200 Ω
アナログマルチプレクサバス	AMUXBUSR, AMUXBUSL	~ 100 Ω
アナログローカルバス	AbusR[3:0], AbusL[3:0]	~ 100 Ω

GPIO ピンと ADC の間の単純なパスの場合、信号パス抵抗の推定値を計算できます。P0[6]が DelSig ADC の正の入力に接続されている単純な回路の図については、図 1 を参照してください。

TRANSLATED BY COMMUNITY

図 1. シンプルな信号ルート

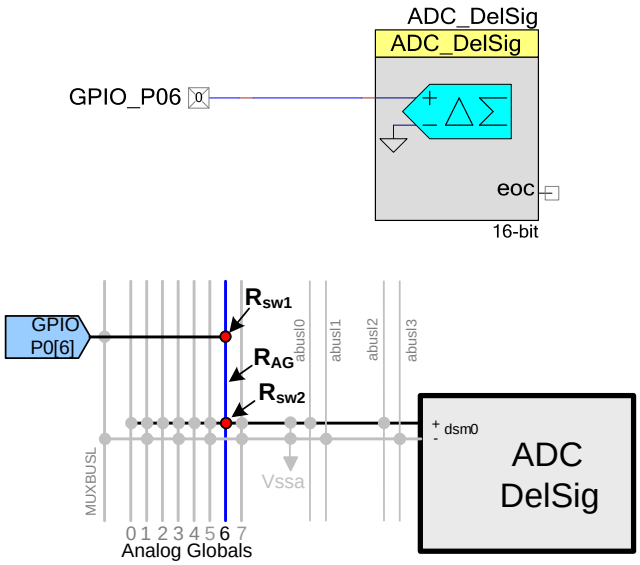


図 1 の上半分は、PSoC Creator™の回路図を示します。図 1 の下半分は、GPIO ピンを ADC ブロックの正の入力に接続するために PSoC Creator によってルーティングされる 1 つの可能なパスを示します。信号パスを分析すると、信号は 2 つのスイッチと 1 つのアナロググローバルバスを通過します。このパスの総抵抗は、この例では次の式で概算できます。

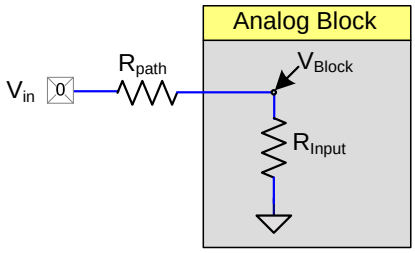
$$R_{Total} = R_{SW1} + R_{AG} + R_{SW2} \qquad \text{式 1}$$

$$R_{Total} = 250_{SW1} + 200_{AG} + 250_{SW2} = 700\,\Omega \qquad \text{式 2}$$

式の実際の抵抗値を代入すると、約 700Ω の信号パス抵抗が得られます。表 1 に示すアナロググローバルの抵抗が最悪の場合であるため、実際の抵抗はこれよりも小さくなることがあります。この例では、絶対最小値と最大値の間の値が使用されています。ほとんどの信号は、全体の長さではなく、グローバルのセクションのみに従うため、その抵抗は小さくなります。

おおよその信号パス抵抗を計算した後、設計者は「700Ω は設計に影響を与えるか?」と自問する必要があります。ADC へのバッファ付き入力の入力抵抗は 100MΩ を超えます。図 2 は、入力抵抗が無限大未満でゼロより大きいアナログブロック用に分圧器を作成する方法を示します。

図 2. 等価抵抗のある設計



2 つの抵抗 R_{path} と R_{Input} は分圧器を形成するため、ADC (V_{Block}) によって入力で見られる実際の電圧は、入力電圧 V_{in} と同じではありません。次の式は、これらの抵抗によって発生する誤差を計算します。

$$\%Error = \frac{R_{path}}{(R_{input} + R_{path})} * 100 \qquad \text{式 3}$$

Substituting with the actual resistor values;

$$\%Error = \frac{700}{(100{,}000{,}000 + 700)} * 100 = 0.0007\,\% \qquad \text{式 4}$$

入力抵抗は 100MΩ より大きく、実際のパス抵抗は 700Ω 未満であるため、パス抵抗によって生じる誤差は 0.0007%または 7 ppm 未満であり、ほとんどのアプリケーションでは重要ではありません。これは、入力抵抗も 100MΩ より大きいコンパレータ、オペアンプ、および PGA を使用する場合にも当てはまります。

抵抗はいつ問題になるのか?

ほとんどの PSoC 3 および PSoC 5LP ブロックの入力抵抗を表 2 に示します。前述の例のように入力抵抗が 100MΩ より大きい場合、誤差はわずかです。一方、入力抵抗が 100MΩ 未満の場合、パス抵抗が大きくなることがあります。これが問題となる 2 つの例は、DelSig ADC のバッファなしモードと PGA の反転入力です。

表 2. 一部のアナログブロックへの典型的な入力抵抗

アナログ ブロック	入力抵抗	ルーティング抵抗の影響
DelSig ADC (バッファ付き入力および内部ソース)	>100 MΩ	なし
DelSig ADC (バッファ付き入力および GPIO ソース)	>10 MΩ	なし ただし、ここでの違いは GPIO ピンのリークが原因です
DelSig ADC (バッファなし入力)	>80 KΩ	入力抵抗は ADC クロックと入力コンデンサの関数です
オペアンプ	>100 MΩ	なし
PGA	>100 MΩ	なし

TRANSLATED BY COMMUNITY

表 2. 一部のアナログブロックへの標準的な入力抵抗 (続き)

アナログ ブロック	入力抵抗	ルーティング抵抗の影響
PGA の反転	20 KΩ または 40 KΩ	あり
ミキサー	20 KΩ または 40 KΩ	あり
SAR ADC (PSoC 5LP のみ)	>150 KΩ	入力抵抗はサンプルレートの関数です
コンパレータ	>100 MΩ	なし

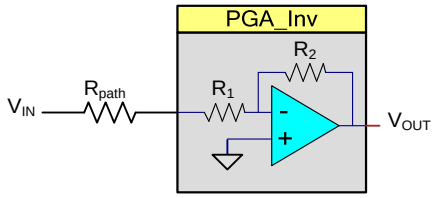
DelSig ADC をバッファなしモードで使用すると、入力抵抗が十分に低くなり、設計の精度に悪影響を与える可能性があります。DelSig ADC の入力抵抗は、ADC クロックと入力容量の関数です。DelSig ADC の入力容量は、範囲と分解能に応じた 1～16 pF です。DelSig ADC の各範囲の実際の入力容量は、ADC のデータシートに記載されています。DelSig ADC の入力抵抗を計算するには、次の式を使用します。

$$R_{input} = \frac{1}{(C_{input} * F_{clk})} \qquad \text{式 5}$$

たとえば、DelSig ADC クロックが 3.0 MHz、分解能が 15 ビット、範囲が±1 V に設定されている場合、入力容量は約 4 pF です。この式を使用すると、入力抵抗は約 83KΩ です。式 3 を使用すると、約 700Ω のパス抵抗により 0.7%の誤差が生じる可能性があり、これが重要となる場合があります。ユーザーは、ADC の入力バッファを使用してこの誤差を解消するか、またはバッファされていない入力の使用を継続してファームウェアを使用して補正するかを選択できます。

反転 PGA の場合、入力トレース抵抗がゲインに影響します。パス抵抗は、図 3 の R1 に追加されます。

図 3. パス抵抗のある PGA 回路図



通常、反転 PGA のゲイン方程式は次のとおりです。

$$Gain = \frac{R_2}{R_1} \qquad \text{式 5}$$

式に入力パス抵抗を追加すると、それが式 5 のゲインにどのように影響するかを簡単に確認できます。

$$Gain = \frac{R_2}{(R_1 + R_{path})} \qquad \text{式 6}$$

反転 PGA では、R1 は 20 KΩ または 40KΩ です。パス抵抗が 700Ω と高く、R1 が 20KΩ の場合、ゲインエラーは予想よりも 3.5%少なく、R1 が 40KΩ の場合は約 1.7%です。

プロジェクト例

サンプルプロジェクトでは、Delta-V_{BE} と呼ばれる外部ダイオードの温度を測定する方法を示します。これは、大規模な CPU および FPGA のダイ温度を測定する一般的な方法です。これらの部品のメーカーは、ダイに PN ジャンクションを配置し、このジャンクションからの 2 つの端子をパッケージのピンに露出させます。Delta-V_{BE} 方式は V_{BE} オフセットの影響を受けず、温度キャリブレーションを必要としません。必要なのは、正確な電圧計と調整可能な電流源だけです。電流源は、比率がわかっている 2 つの異なる電流を流すだけで済みます。これらの電流の絶対値は重要ではなく、2 つの電流の比率だけが重要です。それぞれの電流が印加されると、PN ジャンクションの両端の電圧が測定されます。V_{BE} の差が十分に大きく、正確な測定ができるように、電流の比率は約 10 以上にする必要があります。

PSoC 3 および PSoC 5LP には、この測定を実行するために必要な 2 つのコンポーネント、正確な ADC および調整可能な電流源が含まれます。次の方程式は、この方式の温度を計算するために使用されます。

$$\Delta V_{BE} = \frac{KT}{(q \bullet \ln(N))} \qquad \text{式 7}$$

ここでは以下のとおりです。

ΔV_{BE} は各電流で測定されたジャンクション電圧の差

K はボルツマン定数 (1.380658x10^{-23}) ジュール/K

q は電子の電荷 (1.602176x10^{-19}) クーロン

T はケルビン絶対温度

N は 2 つの電流の比

まずケルビン温度を求めます。

$$T_{\circ K} = \frac{\Delta V_{BE}}{\ln(N)} \cdot \frac{q}{K} \qquad \text{式 8}$$

次に、摂氏温度に変換します。

$$T_{\circ C} = \left(\frac{\Delta V_{BE}}{\ln(N)} \cdot 11604\right) - 273 \qquad \text{式 9}$$

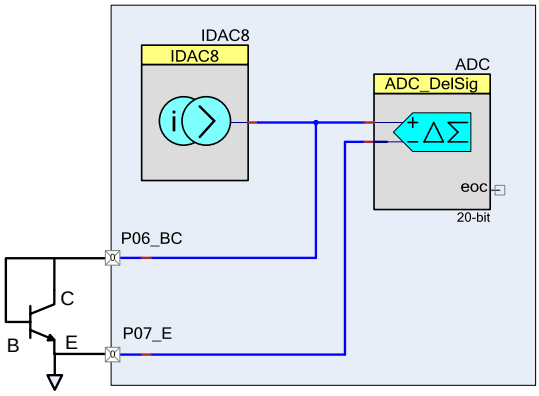
現在の比率を 10 に固定すると、方程式はさらに単純になります。

$$T_{\circ C} = (\Delta V_{BE} \cdot 5040) - 273 \qquad \text{式 10}$$

方式と計算式が決定されたので、あとは PSoC へ実装するだけです。図 4 は、温度センサーとして外部 2N3904 NPN トランジスタを使用した PSoC Creator の回路図を示しています。

TRANSLATED BY COMMUNITY

図 4. 温度センサーの回路図



プロジェクトのテスト

プロジェクトを実装、コンパイル、およびダウンロードしましたが、測定温度は予想よりはるかに高く、60°C を超えます。室温である 25℃に近いものを期待していました。これは約 35°C の誤差になります。この誤差の原因は何でしょうか?

回路は電流源を使用しており、スイッチと内部トレースが抵抗性であることを知っているため、I*R ドロップが最も疑わしいと考えられます。図 5 に示すように、ルーティングに固有の実際の抵抗を回路図に追加すると、より正確な回路図が生成されます。ADC への入力抵抗は比較的高いです。したがって、R2、R4、および R5 での電圧降下はわずかです。R1 に電圧降下がありますが、測定パスの外です。一方、R3 は直接測定パスにあります。電流源 (IDAC8) と外部トランジスタの間の電流パスは直接 R3 を経由するため、R3 の両端で I*R が大幅に低下します。ADC が外部トランジスタのベースエミッタ電圧 (V_{BE}) を測定するとき、R3 でのこの電圧降下も測定します。

図 5. ルーティング抵抗を示す回路図

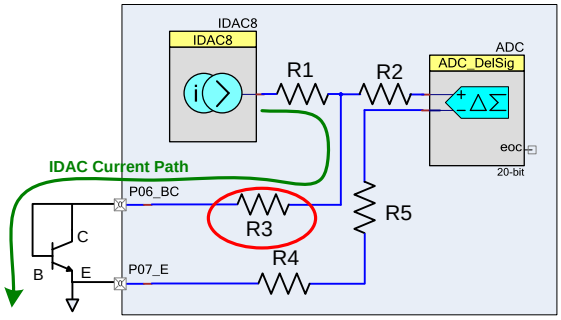
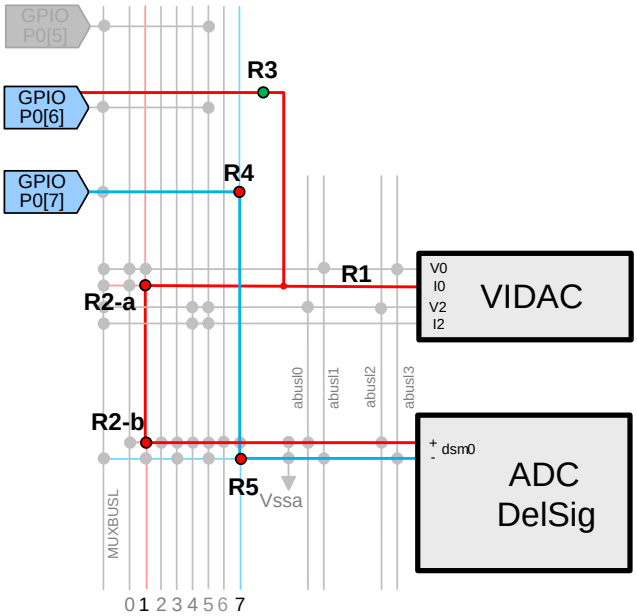


図 6 は、このプロジェクトの実際の内部配線を示し、回路図の抵抗と実際のスイッチを関連付けています。

図 6. プロジェクトの実際のルーティング



電流比が 10 の場合、摂氏温度あたりのボルトは約 200 µV/C です。温度誤差は、測定温度から実際の温度を引いたものです。この場合、約 35°C (実測値 60°C – 実際の 25°C) です。したがって、電圧誤差は 35°C * 200 µV /°C で約 7 mV です。この電圧誤差は、R3 での I*R 降下です。

スイッチとパスの抵抗は、誤差電圧を電流の差で割ることによって推定されます。この方法では 10 µA と 100 µA が切り替わるため、電流の差分は 90 µA になります。抵抗は、電圧降下を電流デルタで割ったもので、7 mV/90 µA = 78Ω です。これは、スイッチの抵抗 (XLarge) と 1 ページの表 1 で定義されているいくつかの内部ルーティング抵抗によって簡単に説明できます。これは、誤差がルーティング抵抗によって引き起こされていることを示します。

TRANSLATED BY COMMUNITY

問題の修正

不可解な現象が解けたので、その問題をどのようにして修正しますか? 1 つの方法は、電流源を独自のピンにルーティングすることです。これにより、電流源と測定パスの両方で共有されていたスイッチ抵抗がなくなります。これで、ADC は V_{BE} のみを測定し、I*R の電圧降下によって生じる追加の電圧は測定しません。新しい回路図については、図 7 を参照してください。プロジェクトを再ビルド、コンパイル、および実行すると、計算された温度は実際の予想温度の数度以内になります。回路のこの小さな変更は、設計の精度に大きな影響を与えますが、追加の GPIO ピンが必要です。この設計は稀なケースですが、設計者が常にデバイスの内部と外部の両方のトレース抵抗に注意する必要があることを強調しています。図 8 の内部ルーティングを確認します。

図 7. 個別の電流パスの回路図

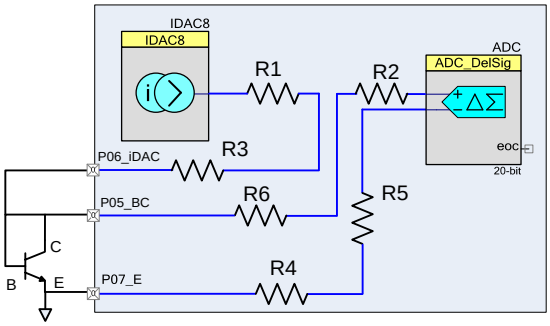
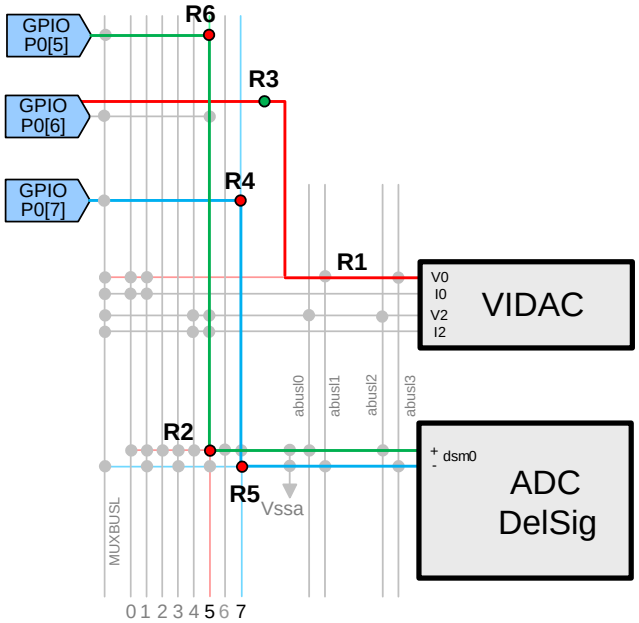


図 8. ソリューションの実際のルーティング



代替ソリューション

PSoC を使用すると、ほとんどすべての設計に対して代替ソリューションが存在します。以前のソリューションでは、温度誤差は解消されましたが、追加の GPIO ピンが必要になります。デザインがピンにタイトである場合、これは常に代替になるとは限りません。おそらく、より優れたソリューションは、標準のアナロググローバル接続と GPIO P0[6] への専用の高電流接続の両方があるという事実を利用することです。このように、IDAC8 からのパスと ADC からのパスは、GPIO P0[6]のパッドへの実際の接続まで分離でき、別個のピンを必要としません。図 9 の配線図を参照してください。

図 91. 代替ソリューションの回路図

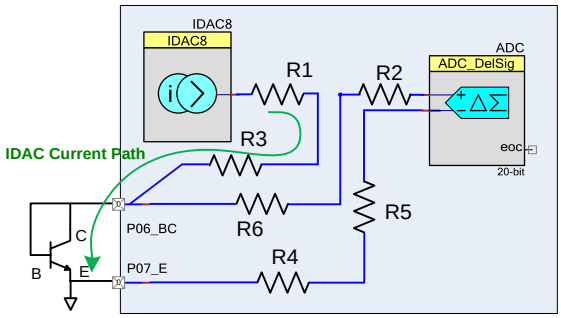
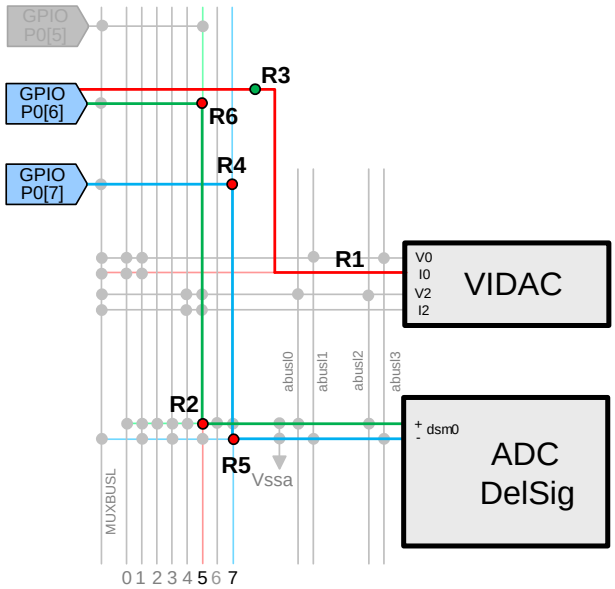


図 10 の内部ルーティングを評価すると、電流パスと測定パスが P0[6]まで完全に独立していることがわかります。外部ダイオードセンサーが PSoC の近くにある場合、または PCB トレース抵抗が低い場合、これは優れたソリューションです。センサーが PSoC からの抵抗パスを介して接続されている場合、電流と測定パスを共有することが最初に問題を引き起こしたものであるため、最初の解決策はより良い代替案になる可能性があります。

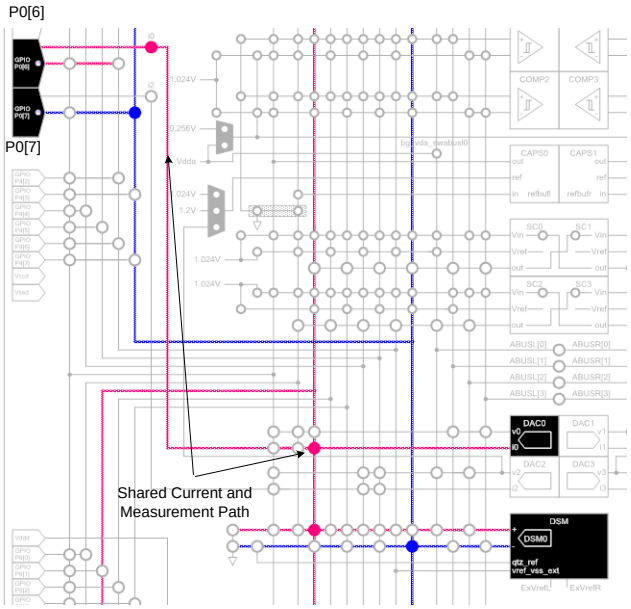
図 102. 代替ソリューションのルーティング



代替ソリューションの回路図と元の回路図は図 4 と同じですが、この異なるルートはどのように強制しますか? PSoC Creator 2.0 以降、追加のツールが付加され、設計者が任意のパスがたどるルートを確認および変更できるようになりました。このツールは「Analog Device Editor」と呼ばれます。これにより、設計者は信号パスを変更し、代替のアナログブロックを選択できます。その後、ルートとブロックをロックして、プロジェクトを再ビルドしてもルートが静的になるようにできます。

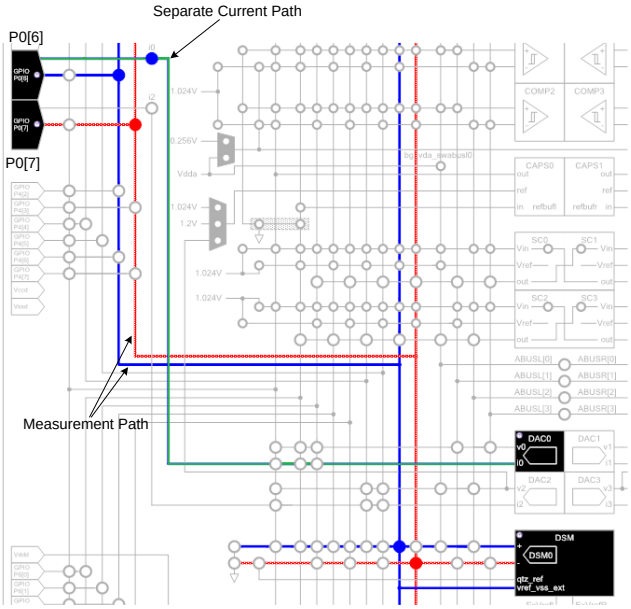
図 11 は、元の温度センサー設計の Analog Device Editor からの部分図を示しています。テンプレートは、付録の図 15 にあるアナログ相互接続図に非常に似ていることに注意してください。

図 11. 元のプロジェクトの Analog Device Editor 表示画面



デザインを再配線することで、実際のルートの違いを確認できます。電圧測定ポイントは、実際の GPIO、P0[6]になります。IDAC8 からの電流は、ADC からの測定パスに流れません。これらの 2 つのソリューションはまったく同じ回路図ですが、ルーティングは異なります。Analog Device Editor を使用すると、わずか数分でマイナーな変更を行うことができます。このサンプルプロジェクトの場合、温度測定誤差がまったく許容できないものから 1℃～2℃に減少しました。

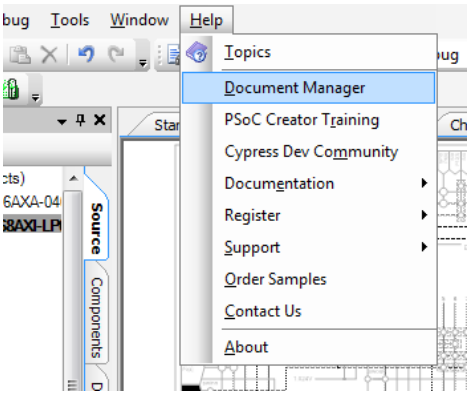
図 123. 代替ソリューションの Analog Device Editor 表示画面



Analog Device Editor のドキュメント

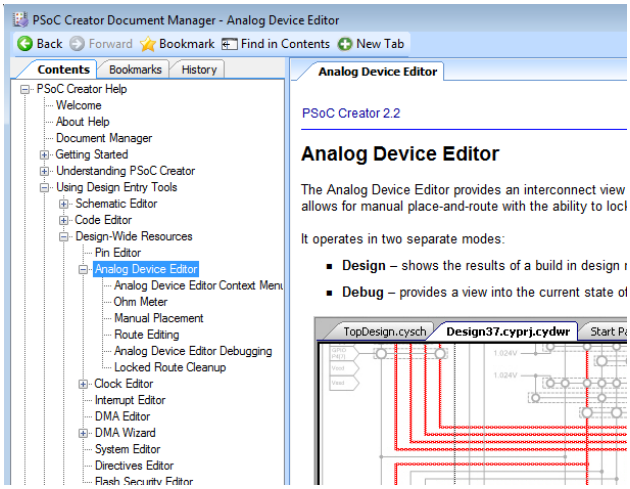
Analog Device Editor の詳細とその使用方法は、PSoC Creator ドキュメントマネージャーにあります。このドキュメントを見つけるには、[Help]メニューをクリックして[Document Manager]を選択します。図 13 を参照してください。

図 13. ドキュメントマネージャーの場所



Document Manager で、[Contents]タブの[PSoC Creator Help]を選択し、*Using Design Entry Tools/Design-Wide Resources/Analog Device Editor* に移動します。ヘルプマニュアルのこのセクションでは、回路のアナログを調べて編集する方法について説明します。図 14 を参照してください。

図 14. 4 Analog Device Editor のドキュメント



Analog Device Editor には、次のような機能があります。

- 実際の信号パスを表示する
- Analog Mux のルーティングと構成を確認する
- 信号パスの抵抗を測定する
- コンポーネントを特定のアナログブロックにロックする
- 特定のコンポーネントに使用するアナログブロックを変更する
- 信号パスとアナログマルチプレクサルートを再ルーティングする
- 個々のスイッチ抵抗を表示する
- 個々のスイッチ制御レジスタのアドレスとマスク値を表示する

まとめ

このアプリケーションノートは、PSoC 内部で何が起こっているかを考えるのに役立ちます。通常、スイッチと内部トレースを流れる電流は非常に小さいため、発生する可能性のある電圧降下を完全に無視できます。入力抵抗が大きくない電流源または入力を扱う場合は、信号パスと発生する可能性のある電圧降下に特に注意してください。また、回路が PSoC 内に実装されていても、PCB 上のディスクリートコンポーネントを使用して古い方法で実装されていても、オームの法則は同じであることを覚えておいてください。Analog Device Editor を使用して、設計がどのようにルーティングされたかを確認します。問題が見つかった場合、この強力なツールは、最適なパフォーマンスを実現するために、より望ましいルートを押し進めるのに役立ちます。

著者について

名前: Mark Hastings

役職: アプリケーション エンジニア MTS

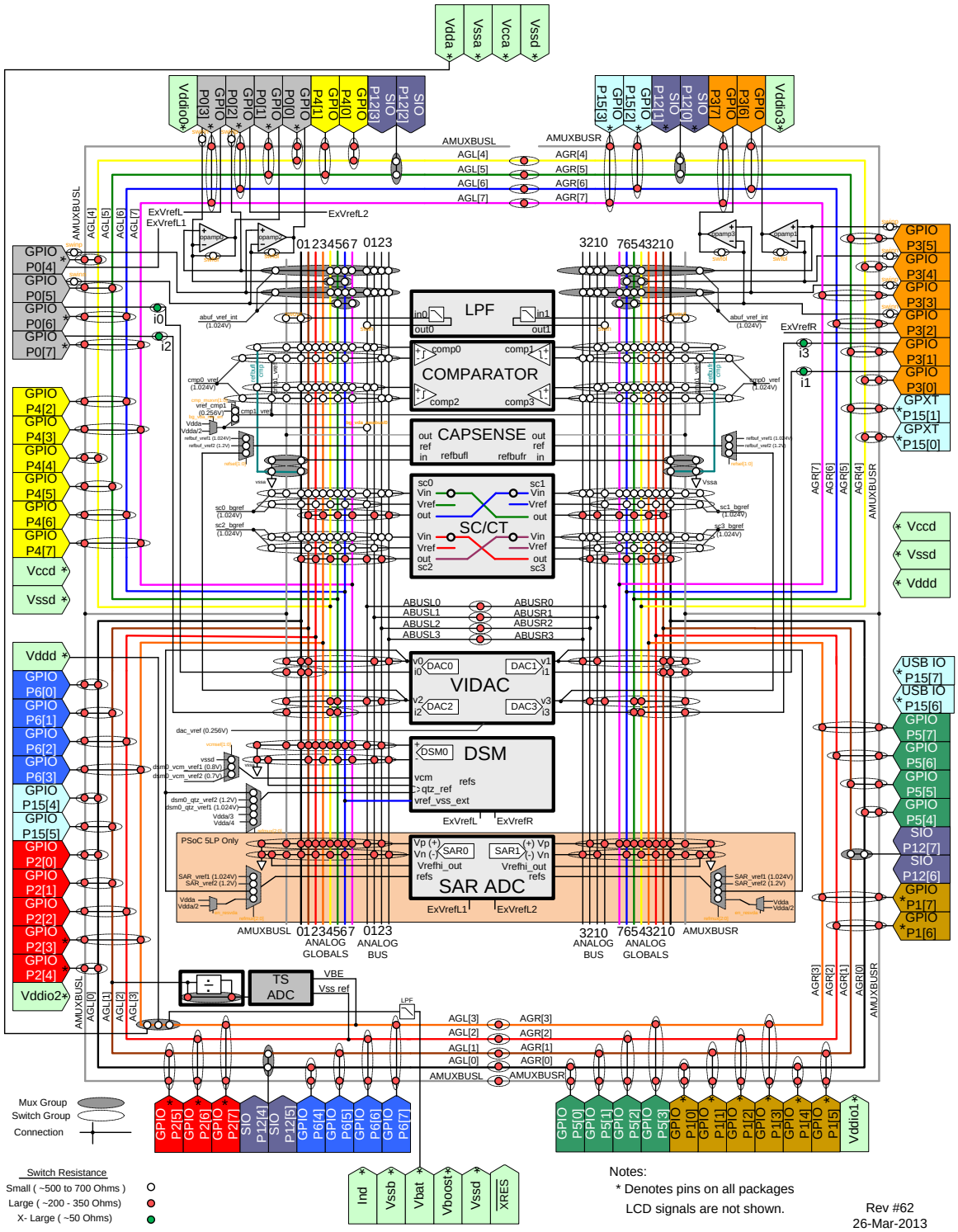
経歴: Mark Hastings は、1984 年にワシントン州立大学で学士号を取得しました。過去 29 年間、彼は組込みおよび混合信号の設計に携わってきました。余暇にワシントン州の North Cascades をハイキングしているのを見かけられます。

連絡先: meh@cypress.com

TRANSLATED BY COMMUNITY

付録

図 155. アナログ相互接続図



改訂履歴

文書名: AN58827 – PSoC® 3 および PSoC 5LP の内部アナログルーティングの考慮事項

文書番号: 002-31589

版数	変更内容
**	本版は英語版 001-58827 Rev. *Fについて、CYPRESS DEVELOPER COMMUNITYの参画者によって日本語に翻訳されたドキュメントです。

セールス, ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューションセンター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、サイプレスのロケーションページをご覧ください。

製品

Arm® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック&バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチセンシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC®ソリューション

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP | PSoC 6 MCU

サイプレス開発者コミュニティ

コミュニティ | サンプルコード | Projects | ビデオ | ブログ | トレーニング | Components

テクニカルサポート

cypress.com/support

本書で言及するその他すべての商標または登録商標は、それぞれの所有者に帰属します。

Cypress Semiconductor
An Infineon Technologies Company
198 Champion Court
San Jose, CA 95134-1709

© Cypress Semiconductor Corporation, 2010-2020. 本書面は, Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下「Cypress」という。) に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。) を含む) は, アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し, 本段落で特に記載されているものを除き, その特許権, 著作権, 商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず, かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合, Cypress は, (1) 本ソフトウェアの著作権に基づき, (a) ソースコード形式で提供されている本ソフトウェアについて, Cypress ハードウェア製品と共に用いるためにのみ, かつ組織内部でのみ, 本ソフトウェアの修正及び複製を行うこと, 並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ, (直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること, 並びに (2) 本ソフトウェア (Cypress により提供され, 修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき, Cypress ハードウェア製品と共に用いるためにのみ, 本ソフトウェアの作成, 利用, 配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用, 複製, 修正, 変換又はコンパイルを禁止する。

適用される法律により許される範囲内で, Cypress は, 本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても, 明示又は黙示をとわず, いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って, Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず, Cypress は, Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて, 本書面に記載された製品には, エラッタと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり, 公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で, Cypress は, 別途通知することなく, 本書面を変更する権利を留保する。Cypress は, 本書面に記載のある, いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は, 参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計, プログラム, かつテストすることは, 本書面のユーザーの責任において行われるものとする。Cypress 製品は, 兵器, 兵器システム, 原子力施設, 生命維持装置若しくは生命維持システム, 蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム, 汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用, 又は装置若しくはシステムの不具合が人身傷害, 死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。) のためには設計, 意図又は承認されていない。重要な構成部分とは, それの不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ, 若しくは本目的外使用に関連するいかなる請求, 損害又はその他の責任についても, Cypress はその全部又は一部をとわず一切の責任を負わず, かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求, 費用, 損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ, WICED, PSoC, CapSense, EZ-USB, F-RAM, 及び Traveo は, 米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは, cypress.com を参照すること。その他の名称及びブランドは, それぞれの権利者の財産として権利主張がなされている可能性がある。

TRANSLATED BY COMMUNITY